

3 / 4 Priority
Doc.
E. Willio
6-20-02

843.41106X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): ASAYAMA, et al.
Serial No.: Not assigned
Filed: January 22, 2002
Title: SEMICONDUCTOR DEVICE, METHOD OF MEASURING THE
SAME, AND METHOD OF MANUFACTURING THE SAME
Group: Not assigned

JCE21 U.S. PRO
10/051056
01/22/02

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

January 22, 2002


Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the
applicant(s) hereby claim(s) the right of priority based on
Japanese Application No.(s) 2001-013028 filed January 22, 2001.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/amr
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月22日

出 願 番 号

Application Number:

特願2001-013028

出 願 人

Applicant(s):

株式会社日立製作所

JC821 U.S. PTO
10/051056
01/22/02

2001年11月16日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造

出証番号 出証特2001-3101159

【書類名】 特許願

【整理番号】 H00017581

【提出日】 平成13年 1月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/88

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 朝山 匡一郎

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 三井 泰裕

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 荒川 史子

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 蒲原 史朗

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 大路 譲

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその測定方法、ならびに半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 最上層配線で構成される一辺が $0.5 \mu\text{m}$ 以下の矩形の第 1 電極パッドを備えた複数の TEG が、スクライブ領域に配置されていることを特徴とする半導体装置。

【請求項 2】 最上層配線で構成される一辺が $1 \mu\text{m}$ 以下の矩形の第 1 電極パッドを備えた複数の TEG が、スクライブ領域に配置されていることを特徴とする半導体装置。

【請求項 3】 最上層配線で構成される一辺が $10 \mu\text{m}$ 以下の矩形の第 1 電極パッドを備えた複数の TEG が、スクライブ領域に配置されていることを特徴とする半導体装置。

【請求項 4】 最上層配線で構成される一辺が $10 \mu\text{m}$ 以下の矩形の第 1 電極パッドと、前記最上層配線で構成される一辺が $20 \mu\text{m}$ 以上の矩形の第 2 電極パッドとを備えた複数の TEG が、スクライブ領域に配置されていることを特徴とする半導体装置。

【請求項 5】 請求項 3 記載の半導体装置において、前記最上層配線で構成される一辺が $20 \mu\text{m}$ 以上の矩形の第 2 電極パッドを備えた複数の TEG が、さらにスクライブ領域に配置されていることを特徴とする半導体装置。

【請求項 6】 請求項 3 記載の半導体装置において、前記第 1 電極パッドの一辺が、前記第 1 電極パッドとその下層の配線とをつなぐ接続孔の径に前記第 1 電極パッドと前記接続孔との合わせ余裕を加えた寸法を越えないことを特徴とする半導体装置。

【請求項 7】 請求項 3 記載の半導体装置において、前記第 1 電極パッドの一辺が、前記第 1 電極パッドとその下層の配線とをつなぐ接続孔の径の約 $4/3$ 倍程度であることを特徴とする半導体装置。

【請求項 8】 請求項 3 記載の半導体装置において、前記スクライブ領域は保護膜によって覆われていることを特徴とする半導体装置。

【請求項 9】 請求項 3 記載の半導体装置において、前記第 1 電極パッドが島状に露出していることを特徴とする半導体装置。

【請求項 10】 請求項 5 記載の半導体装置において、前記第 1 電極パッドの表面は保護膜によって覆われ、前記第 2 電極パッドの表面の一部は前記保護膜が除去されて露出していることを特徴とする半導体装置。

【請求項 11】 請求項 4 記載の半導体装置において、前記第 2 電極パッドは複数の TEG に共有接続されていることを特徴とする半導体装置。

【請求項 12】 請求項 5 記載の半導体装置において、前記第 2 電極パッドは複数の TEG に共有接続されていることを特徴とする半導体装置。

【請求項 13】 最上層配線で構成される引き出し電極を備えた複数の TEG が、製品回路領域に配置されていることを特徴とする半導体装置。

【請求項 14】 最上層配線で構成される一辺が $10\mu\text{m}$ 以下の矩形の第 1 電極パッドを備えた複数の TEG が、前記第 1 電極パッドの表面を保護膜で覆われて第 1 スクライブ領域に配置されており、

前記第 1 電極パッド上の前記保護膜を除去して前記第 1 電極パッドの表面の一部を露出させた後、先端の曲率半径が約 $0.05\sim 0.8\mu\text{m}$ 程度の探針を前記第 1 電極パッドに接触させて前記 TEG を測定することを特徴とする半導体装置の測定方法。

【請求項 15】 請求項 14 記載の半導体装置の測定方法において、半導体製品の歩留まりを向上させることを特徴とする半導体装置の測定方法。

【請求項 16】 請求項 14 記載の半導体装置の測定方法において、前記第 1 電極パッド上の前記保護膜は集束イオンビーム法または選択エッチング法によって除去されることを特徴とする半導体装置の測定方法。

【請求項 17】 請求項 14 記載の半導体装置の測定方法において、さらに前記最上層配線で構成される一辺が $20\mu\text{m}$ 以上の矩形の第 2 電極パッドを備えた複数の TEG が、前記第 2 電極パッド上の前記保護膜を除去することによって前記第 2 電極パッドの表面の一部を露出させて第 2 スクライブ領域に配置されていることを特徴とする半導体装置の測定方法。

【請求項 18】 最上層を保護膜で覆われた製品回路領域に論理回路が配置

されており、

所定の領域の前記保護膜を除去して最上層配線で構成される引き出し電極の表面の一部を露出させた後、先端の曲率半径が約 $0.05 \sim 0.8 \mu\text{m}$ 程度の探針を前記引き出し電極に接触させて前記論理回路の論理値を評価することを特徴とする半導体装置の測定方法。

【請求項 19】 請求項 18 記載の半導体装置の測定方法において、半導体製品の歩留まりを向上させることを特徴とする半導体装置の測定方法。

【請求項 20】 請求項 18 記載の半導体装置の測定方法において、所定の領域の前記保護膜は集束イオンビーム法または選択エッチング法によって除去されることを特徴とする半導体装置の測定方法。

【請求項 21】 請求項 18 記載の半導体装置の測定方法において、前記論理回路は n 本の入力端子と m 本の出力端子とを有し、 $n + m + 3$ 本の探針を前記引き出し電極に接触させて前記論理回路の論理値を評価することを特徴とする半導体装置の測定方法。

【請求項 22】 請求項 21 記載の半導体装置の測定方法において、前記探針のうち 1 本は、接触確認用の探針であることを特徴とする半導体装置の測定方法。

【請求項 23】 最上層を保護膜で覆われた製品回路領域に TEG が配置されており、

所定の領域の前記保護膜を除去して最上層配線で構成される引き出し電極の表面の一部を露出させた後、先端の曲率半径が約 $0.05 \sim 0.8 \mu\text{m}$ 程度の探針を前記引き出し電極に接触させて前記 TEG を測定することを特徴とする半導体装置の測定方法。

【請求項 24】 請求項 23 記載の半導体装置の測定方法において、半導体製品の歩留まりを向上させることを特徴とする半導体装置の測定方法。

【請求項 25】 請求項 23 記載の半導体装置の測定方法において、所定の領域の前記保護膜は集束イオンビーム法または選択エッチング法によって除去されることを特徴とする半導体装置の測定方法。

【請求項 26】 (a) 最上層配線で一辺が $10 \mu\text{m}$ 以下の矩形の第 1 電極

パッドをスクライブ領域に形成し、前記最上層配線でボンディングパッドを製品回路領域に形成する工程と、

(b) 前記最上層配線の上層に、保護膜を形成する工程と、

(c) 前記保護膜の所定の領域を除去し、前記ボンディングパッドの表面の一部を露出させる工程とを有し、

前記最上層配線は、導電体の堆積およびリソグラフィ法によるパターンニングにより形成されることを特徴とする半導体装置の製造方法。

【請求項 27】 請求項 26 記載の半導体装置の製造方法において、前記 (a) 工程は、前記最上層配線で一辺が $20\mu\text{m}$ 以上の第 2 電極パッドを前記スクライブ領域に形成する工程を含み、前記 (c) 工程は、前記第 2 電極パッドの表面の一部を露出させる工程を含むことを特徴とする半導体装置の製造方法。

【請求項 28】 (a) 半導体基板上に第 1 絶縁膜、ストッパ絶縁膜および第 2 絶縁膜を順次形成する工程と、

(b) 前記第 1 絶縁膜に接続孔を形成し、前記ストッパ絶縁膜および前記第 2 絶縁膜に配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝内に導体膜を埋め込み、前記接続孔および前記配線溝以外の領域の前記導体膜を CMP 法により除去することによって、接続部材と一体に形成された第 1 電極パッドを第 1 スクライブ領域に形成する工程と、

(d) 前記第 1 電極パッドの上層に保護膜を形成する工程と、

(e) 前記ストッパ絶縁膜をエッチングストッパ層として、前記第 1 スクライブ領域の前記保護膜および前記第 2 絶縁膜を除去して前記第 1 電極パッドを露出させる工程とを有することを特徴とする半導体装置の製造方法。

【請求項 29】 請求項 28 記載の半導体装置の製造方法において、前記 (c) 工程は、接続部材と一体に形成されたボンディングパッドを製品回路領域に形成する工程を含み、前記 (d) 工程は、前記ボンディングパッドの上層に保護膜を形成する工程を含み、前記 (e) 工程は、前記製品回路領域の前記保護膜の所定の領域を除去して前記ボンディングパッドの表面の一部を露出させる工程を含むことを特徴とする半導体装置の製造方法。

【請求項 3 0】 請求項 2 8 記載の半導体装置の製造方法において、前記（c）工程は、接続部材と一体に形成された第 2 電極パッドを第 2 スクライブ領域に形成し、さらに接続部材と一体に形成されたボンディングパッドを製品回路領域に形成する工程を含み、前記（d）工程は、前記第 2 電極パッドおよび前記ボンディングパッドの上層に保護膜を形成する工程を含み、前記（e）工程は、前記第 2 スクライブ領域の前記保護膜の所定の領域を除去して前記第 2 電極パッドの表面の一部を露出させ、さらに前記製品回路領域の前記保護膜の所定の領域を除去して前記ボンディングパッドの表面の一部を露出させる工程を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置およびその製造技術に関し、特に、特性評価または不良解析を行う半導体素子を備えた半導体装置に適用して有効な技術に関する。

【0 0 0 2】

【従来の技術】

従来の半導体素子の特性評価または不良解析は、プローブと呼ばれる探針を評価用の試料（以下、T E G（testelement group）と称す）の表面上に形成された電極にあて、半導体素子の特定部分との電氣的接触をはかる装置、いわゆるプローバを用いて行われている。

【0 0 0 3】

プローバを用いた測定には、幾つかの方法が提案されており、たとえば富松らの特開平 9 - 3 2 6 4 2 5 号公報には、走査型電子顕微鏡で観察しながら、探針移動制御回路による制御で、探針移動機構により鋭利な先端を有する複数の探針をそれぞれ試料電極に接触電流が飽和するまで接近させ、確実に接触させた後、電気特性測定回路により探針間の電流電圧特性を測定する方法が開示されている。

【0 0 0 4】

また、長谷川らの特開平 9 - 2 6 4 3 6 号公報には、鋭利な先端を有する複数

本の探針を、試料表面の法線から傾け、かつ方位各 30° 以上の間隔で配置する方法が開示されている。

【0005】

また、山口らの特開平8-88258号公報には、電子ビームまたはイオンビームを半導体材料片の表面または断面の動作領域、あるいはその近傍に的を絞って照射することで得られた電流の一部が、プローブの微細な探針に流れるように探針を動作領域に相当する部位に接触させて走査して電流を測定し、動作領域内の電流の変化を検出する方法が開示されている。

【0006】

また、吉田の特開平8-153763号公報には、MOSFETなどの縦型半導体装置において、ドレイン電極の電位を測定するために設けられた測定電極に接触させたドレイン側測定プローブと、ソース電極に接触させたソース側測定プローブにて電圧を検出する方法が述べられている。

【0007】

また、村上らの特開平9-196970号公報には、複数の探針と、それらの探針にそれぞれ接続された配線パターンを有するリング状のプリント配線板と、そのプリント配線板の中心孔に係合して同心状に取付けられ、探針を保持するリング状の保持台とを具備するプローブカードに関して述べられている。

【0008】

また、本間の特開昭54-111286号公報には、半導体ウエハの裏面に導電性物質を付着させた後、ウエハプローバのステージに半導体ウエハを載せ、ステージに電圧を印加した後、半導体装置を検査する方法が述べられている。

【0009】

また、国政の特開平11-133061号公報には、ウエハ上の複数のペレット領域に形成された半導体集積回路の電極パッドに接触する複数のプローブ針と、プローブ針が電極パッドに接触するときにこの電極パッドを有するペレット領域周辺のスクライブ線に接触する複数のダミー針とを備えたプローブカードが記載されている。

【0010】

【発明が解決しようとする課題】

ところで、ウエハ上の半導体製品を評価する T E G は、通常スクライブ領域と呼ばれるチップに切り取る領域に配置されているが、ウエハ一枚あたりのチップ獲得数を増やすために、チップ面積の縮小に加えてスクライブ領域は狭くなる傾向にある。一方、スクライブ領域は、たとえばフォトターゲットや合わせマークなど製造プロセスにおいて必要なパターンが数多く含まれており、収容できる T E G の数が制限される。しかも T E G が配置される領域の 7 0 ~ 8 0 % 程度は、探針を接触させるための一辺が 1 0 0 μ m 程度の電極パッドによって占められているため、チップの良・不良を判定するウエハ検査用の T E G を除いて、配置できる評価用の T E G の数はわずかである。

【0 0 1 1】

このため、半導体製品において不良や歩留まり低下が起きても、これを解析できる有効な T E G がなく、迅速な不良対策ができないという問題が生ずることが本発明者によって明らかとなった。

【0 0 1 2】

さらに、半導体製品の実デバイスにおいても、チップ面積の縮小に伴い不良解析用の電極パッドを削除する傾向にある。特に、特定用途向き集積回路、いわゆる A S I C (application specific integrated circuit) では、チップにテストパターン発生器を組み込んだ B I S T (built in self test) 法と呼ばれる診断方式が使用されており、回路機能やデバイス機能を検査するための信号入出力用のパッドさえ省略されている。

【0 0 1 3】

このため、半導体製品において歩留まりの低下が生じても、これを解析するための外部からの任意の計測ができず、不具合の原因を特定することが難しいという問題が生ずる。

【0 0 1 4】

本発明の目的は、スクライブ領域に多数配置された T E G を測定することにより、半導体装置の歩留まりを向上することのできる技術を提供することにある。

【0 0 1 5】

また、本発明の目的は、半導体製品の実デバイスの特性評価または不良解析を行うことにより、半導体装置の歩留まりを向上することのできる技術を提供することにある。

【 0 0 1 6 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 7 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

(1) 本発明の半導体装置は、最上層配線で構成される一辺が $0.5 \mu\text{m}$ 以下の矩形の第1電極パッドを備えた複数のTEGが、スクライプ領域に配置されているものである。

(2) 本発明の半導体装置は、最上層配線で構成される一辺が $1 \mu\text{m}$ 以下の矩形の第1電極パッドを備えた複数のTEGが、スクライプ領域に配置されているものである。

(3) 本発明の半導体装置は、最上層配線で構成される一辺が $10 \mu\text{m}$ 以下の矩形の第1電極パッドを備えた複数のTEGが、スクライプ領域に配置されているものである。

(4) 本発明の半導体装置の測定方法は、最上層配線で構成される一辺が $10 \mu\text{m}$ 以下の矩形の第1電極パッドを備えた複数のTEGが、第1電極パッドの表面を保護膜で覆われてスクライプ領域に配置されており、第1電極パッド上の保護膜を除去して第1電極パッドの表面の一部を露出させた後、先端の曲率半径が約 $0.05 \sim 0.8 \mu\text{m}$ 程度の探針を第1電極パッドに接触させてTEGを測定するものである。

(5) 本発明の半導体装置の測定方法は、最上層を保護膜で覆われた製品回路領域に論理回路が配置されており、所定の領域の保護膜を除去して最上層配線で構成される引き出し電極の表面を露出させた後、先端の曲率半径が約 $0.05 \sim 0.8 \mu\text{m}$ 程度の探針を引き出し電極に接触させて論理回路の論理値を評価するもの

である。

(6) 本発明の半導体装置の測定方法は、最上層を保護膜で覆われた製品回路領域に T E G が配置されており、所定の領域の保護膜を除去して最上層配線で構成される引き出し電極の表面の一部を露出させた後、先端の曲率半径が約 $0.05 \sim 0.8 \mu\text{m}$ 程度の探針を引き出し電極に接触させて T E G を測定するものである。

【0018】

上記した手段によれば、スクライブ領域に多数の T E G を配置することができ、これら T E G の特性を評価することによって多くのデータを得ることができる。これにより、開発および量産段階における半導体製品の歩留まりの維持、向上を実現することができる。

【0019】

さらに、半導体製品の任意の引き出し電極に先端が鋭利な探針を接触させることで、実デバイスの特性評価または不良解析を行うことができる。これにより、たとえば基本回路単位で諸特性や不良箇所の同定を明らかにすることができ、また、半導体製品における不良箇所、不良回路等を短期間に絞りこむことができ、半導体製品の歩留まりを向上することができる。

【0020】

本願のその他の発明を簡条書きで示せば以下のごとくである。すなわち、

1. 最上層配線で構成される一辺が $10 \mu\text{m}$ 以下の矩形の第 1 電極パッドを備えた複数の T E G と、最上層配線で構成される一辺が $20 \mu\text{m}$ 以上の矩形の第 2 電極パッドを備えた複数の T E G とがスクライブ領域に配置されている。
2. 最上層配線で構成される一辺が $10 \mu\text{m}$ 以下の矩形の第 1 電極パッドを備えた複数の T E G と、最上層配線で構成される一辺が $20 \mu\text{m}$ 以上の矩形の第 2 電極パッドを備えた複数の T E G とがスクライブ領域に配置されており、第 2 電極パッドは複数の T E G に共有接続されている。
3. 最上層配線で構成される一辺が $10 \mu\text{m}$ 以下の矩形の第 1 電極パッドと、最上層配線で構成される一辺が $20 \mu\text{m}$ 以上の矩形の第 2 電極パッドとを備えた複数の T E G がスクライブ領域に配置されている。

4. 最上層配線で構成される一辺が $10\ \mu\text{m}$ 以下の矩形の第1電極パッドと、最上層配線で構成される一辺が $20\ \mu\text{m}$ 以上の矩形の第2電極パッドとを備えた複数のTEGがスクライブ領域に配置されており、第2電極パッドは複数のTEGに共有接続されている。

5. 最上層配線で構成される一辺が $10\ \mu\text{m}$ 以下の矩形の第1電極パッドを備えた複数のTEGがスクライブ領域に配置されており、第1電極パッドの一辺が、第1電極パッドとその下層の配線とをつなぐ接続孔の径に第1電極パッドと接続孔との合わせ余裕を加えた寸法を越えないものである。

6. 最上層配線で構成される一辺が $10\ \mu\text{m}$ 以下の矩形の第1電極パッドを備えた複数のTEGがスクライブ領域に配置されており、第1電極パッドの一辺が、第1電極パッドとその下層の配線とをつなぐ接続孔の径の約 $4/3$ 倍程度である。

。

7. 最上層配線で構成される一辺が $10\ \mu\text{m}$ 以下の矩形の第1電極パッドを備えた複数のTEGがスクライブ領域に配置されており、スクライブ領域は保護膜によって覆われている。

8. 最上層配線で構成される一辺が $10\ \mu\text{m}$ 以下の矩形の第1電極パッドを備えた複数のTEGがスクライブ領域に配置されており、第1電極パッドが島状に露出している。

9. 最上層配線で構成される一辺が $10\ \mu\text{m}$ 以下の矩形の第1電極パッドを備えた複数のTEGが第1スクライブ領域に配置され、最上層配線で構成される一辺が $20\ \mu\text{m}$ 以上の矩形の第2電極パッドを備えた複数のTEGが第2スクライブ領域に配置されており、第1電極パッドの表面は保護膜によって覆われ、第2電極パッドの表面の一部は保護膜が除去されて露出している。

10. 最上層配線で構成される引き出し電極を備えた複数のTEGが、製品回路領域に配置されている。

11. 最上層配線で構成される一辺が $10\ \mu\text{m}$ 以下の矩形の第1電極パッドを備えた複数のTEGが、第1電極パッドの表面を保護膜で覆われてスクライブ領域に配置されており、第1電極パッド上の保護膜を除去して第1電極パッドの表面の一部を露出させた後、先端の曲率半径が約 $0.05 \sim 0.8\ \mu\text{m}$ 程度の探針を第

1 電極パッドに接触させて T E G を測定し、半導体製品の歩留まりを向上させる。

1 2. 最上層配線で構成される一辺が $10\ \mu\text{m}$ 以下の矩形の第 1 電極パッドを備えた複数の T E G が、第 1 電極パッドの表面を保護膜で覆われてスクライブ領域に配置されており、第 1 電極パッド上の保護膜を集束イオンビーム法または選択エッチング法で除去して第 1 電極パッドの表面の一部を露出させた後、先端の曲率半径が約 $0.05\sim0.8\ \mu\text{m}$ 程度の探針を第 1 電極パッドに接触させて T E G を測定する。

1 3. 最上層配線で構成される一辺が $10\ \mu\text{m}$ 以下の矩形の第 1 電極パッドを備えた複数の T E G が、第 1 電極パッドの表面を保護膜で覆われて第 1 スクライブ領域に配置され、最上層配線で構成される一辺が $20\ \mu\text{m}$ 以上の矩形の第 2 電極パッドを備えた複数の T E G が、第 2 電極パッド上の保護膜を除去することによって第 2 電極パッドの表面の一部を露出させて第 2 スクライブ領域に配置されており、第 1 電極パッド上の保護膜を除去して第 1 電極パッドの表面の一部を露出させた後、先端の曲率半径が約 $0.05\sim0.8\ \mu\text{m}$ 程度の探針を第 1 電極パッドに接触させて T E G を測定する。

1 4. 最上層を保護膜で覆われた製品回路領域に論理回路が配置されており、所定の領域の保護膜を除去して最上層配線で構成される引き出し電極の表面の一部を露出させた後、先端の曲率半径が約 $0.05\sim0.8\ \mu\text{m}$ 程度の探針を引き出し電極に接触させて論理回路の論理値を評価し、半導体製品の歩留まりを向上させる。

1 5. 最上層を保護膜で覆われた製品回路領域に論理回路が配置されており、所定の領域の保護膜を集束イオンビーム法または選択エッチング法で除去して最上層配線で構成される引き出し電極の表面の一部を露出させた後、先端の曲率半径が約 $0.05\sim0.8\ \mu\text{m}$ 程度の探針を引き出し電極に接触させて論理回路の論理値を評価する。

1 6. 最上層を保護膜で覆われた製品回路領域に n 本の入力端子と m 本の出力端子とを有する論理回路が配置されており、所定の領域の保護膜を除去して最上層配線で構成される引き出し電極の表面の一部を露出させた後、先端の曲率半径が

約 $0.05 \sim 0.8 \mu\text{m}$ 程度の $n + m + 3$ 本の探針を引き出し電極に接触させて論理回路の論理値を評価する。

17. 最上層を保護膜で覆われた製品回路領域に n 本の入力端子と m 本の出力端子とを有する論理回路が配置されており、所定の領域の保護膜を除去して最上層配線で構成される引き出し電極の表面の一部を露出させた後、1本を接触確認用とする先端の曲率半径が約 $0.05 \sim 0.8 \mu\text{m}$ 程度の $n + m + 3$ 本の探針を引き出し電極に接触させて論理回路の論理値を評価する。

18. 最上層を保護膜で覆われた製品回路領域に TEG が配置されており、所定の領域の保護膜を除去して最上層配線で構成される引き出し電極の表面の一部を露出させた後、先端の曲率半径が約 $0.05 \sim 0.8 \mu\text{m}$ 程度の探針を引き出し電極に接触させて TEG を測定し、半導体製品の歩留まりを向上させる。

19. 最上層を保護膜で覆われた製品回路領域に TEG が配置されており、所定の領域の保護膜を集束イオンビーム法または選択エッチング法で除去して最上層配線で構成される引き出し電極の表面の一部を露出させた後、先端の曲率半径が約 $0.05 \sim 0.8 \mu\text{m}$ 程度の探針を引き出し電極に接触させて TEG を測定する。

20. 最上層配線で一辺が $10 \mu\text{m}$ 以下の矩形の第1電極パッドをスクライブ領域に形成し、最上層配線でボンディングパッドを製品回路領域に形成する工程と、最上層配線の上層に保護膜を形成する工程と、保護膜の所定の領域を除去し、ボンディングパッドの表面の一部を露出させる工程とを有し、上記最上層配線を導電体の堆積およびリソグラフィ法によるパターニングによって形成する。

21. 最上層配線で一辺が $10 \mu\text{m}$ 以下の矩形の第1電極パッド、および一辺が $20 \mu\text{m}$ 以上の第2電極パッドをスクライブ領域に形成し、最上層配線でボンディングパッドを製品回路領域に形成する工程と、最上層配線の上層に保護膜を形成する工程と、保護膜の所定の領域を除去し、第2電極パッドの表面の一部およびボンディングパッドの表面の一部を露出させる工程とを有し、上記最上層配線を導電体の堆積およびリソグラフィ法によるパターニングによって形成する。

22. 半導体基板上に第1絶縁膜、ストッパ絶縁膜および第2絶縁膜を順次形成する工程と、第1絶縁膜に接続孔を形成し、ストッパ絶縁膜および第2絶縁膜に

配線溝を形成する工程と、接続孔および配線溝内に導体膜を埋め込み、接続孔および配線溝以外の領域の導体膜をCMP法により除去することによって、接続部材と一体に形成された第1電極パッドをスクライブ領域に形成する工程と、第1電極パッドの上層に保護膜を形成する工程と、ストッパ絶縁膜をエッチングストッパ層として、スクライブ領域の保護膜および第2絶縁膜を除去して第1電極パッドを露出させる工程とを有する。

23. 半導体基板上に第1絶縁膜、ストッパ絶縁膜および第2絶縁膜を順次形成する工程と、第1絶縁膜に接続孔を形成し、ストッパ絶縁膜および第2絶縁膜に配線溝を形成する工程と、接続孔および配線溝内に導体膜を埋め込み、接続孔および配線溝以外の領域の導体膜をCMP法により除去することによって、接続部材と一体に形成された第1電極パッドをスクライブ領域に形成し、同時に接続部材と一体に形成されたボンディングパッドを製品回路領域に形成する工程と、第1電極パッドおよびボンディングパッドの上層に保護膜を形成する工程と、ストッパ絶縁膜をエッチングストッパ層として、スクライブ領域の保護膜および第2絶縁膜を除去して第1電極パッドを露出させ、同時に製品回路領域の保護膜の所定の領域を除去してボンディングパッドの表面の一部を露出させる工程とを有する。

24. 半導体基板上に第1絶縁膜、ストッパ絶縁膜および第2絶縁膜を順次形成する工程と、第1絶縁膜に接続孔を形成し、ストッパ絶縁膜および第2絶縁膜に配線溝を形成する工程と、接続孔および配線溝内に導体膜を埋め込み、接続孔および配線溝以外の領域の導体膜をCMP法により除去することによって、接続部材と一体に形成された第1電極パッドを第1スクライブ領域に形成し、接続部材と一体に形成された第2電極パッドを第2スクライブ領域に形成し、さらに接続部材と一体に形成されたボンディングパッドを製品回路領域に形成する工程と、第1電極パッド、第2電極パッドおよびボンディングパッドの上層に保護膜を形成する工程と、ストッパ絶縁膜をエッチングストッパ層として、第1スクライブ領域の保護膜および第2絶縁膜を除去して第1電極パッドを露出させ、第2スクライブ領域の保護膜の所定の領域を除去して第2電極パッドの表面の一部を露出させ、さらに製品回路領域の保護膜の所定の領域を除去してボンディングパッド

の表面の一部を露出させる工程とを有する。

【 0 0 2 1 】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 2 2 】

なお、本願において、半導体装置というときは、特に単結晶シリコン基板上に作られるものだけでなく、特にそうでない旨が明示された場合を除き、S O I (silicon on insulator) 基板やT F T (thin film transistor) 液晶製造用基板などといった他の基板上に作られるものを含むものとする。また、ウエハとは半導体装置の製造に用いる単結晶シリコン基板（一般にほぼ円盤形）、S O I 基板、ガラス基板その他の絶縁、半絶縁または半導体基板などやそれらを複合した基板をいう。

【 0 0 2 3 】

チップまたはチップ領域は、ウエハを前工程が終了したあとに、分割される部分に対応する単位集積回路領域である。

【 0 0 2 4 】

さらに、以下の実施の形態において、要素の数等（個数、数値、量、範囲などを含む）に言及する場合、特に明示したときおよび原理的に明らかに特定の数に限定されるときを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップ等を含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合を除き、必ずしも必須のものではないことはいうまでもない。

【 0 0 2 5 】

同様に、以下の実施の形態において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合を除き、実質的にその形状などに近似または類似するものなどを含むものとする。たとえば「矩形」とは、長方形、正方形などの四角形であって、隅の丸

い四角形や斜め四角形も含むものである。このことは、上記数値および範囲についても同様である。

【0026】

(実施の形態1)

図1に、ウエハSW内のスクライブ領域SLを示す。

【0027】

半導体集積回路が作り込まれるチップCPは、一つずつ別々に作られるのではなく、数十個から数百個のチップCPが一枚のウエハSW上に一括同時に製造され、その後個々のチップCPに分割される。ウエハSWを個々のチップCPに分割する工程はダイシングまたはスクライビングと呼ばれ、幅約50 μ m程度の円盤型の切断刃を高速で回転させて、ウエハSWを完全切断する方法である。この切断に使用される領域がスクライブ領域(図中、網掛けのハッチングで示す)SLであって、たとえば約100 μ m程度の幅を有している。

【0028】

また、半導体集積回路の周辺には、半導体集積回路への水分の浸入を防ぐ機能を有するガードバンドが形成されており、隣接するガードバンドによって挟まれた領域をスクライブ領域SLとすることができる。このガードバンドは、後に説明するように、たとえば配線および上下配線間を接続するプラグ等を積み重ねた積層構造からなる。

【0029】

図2(a)は、本実施の形態1である複数のTEGが配置されたスクライブ領域の一部(第1スクライブ領域SL1)の模式図を示し、図2(b)は、複数のTEGが配置されたスクライブ領域の他の一部(第2スクライブ領域SL2)の模式図を示す。第1スクライブ領域SL1および第2スクライブ領域SL2の幅は、共に約100 μ m程度である。

【0030】

第1スクライブ領域SL1には、たとえば走査型電子顕微鏡で観察しながら、先端の曲率半径が約0.05 μ m~0.8 μ m程度の鋭利な探針(以下、ナノプローブと称す)を接触させることのできる第1電極パッド(図示せず)を備えた複

数のTEGが敷き詰められている。たとえば幅(X方向)が約 $100\mu\text{m}$ 程度、長さ(Y方向)が約 $280\mu\text{m}$ 程度の領域には、40個のTEGが配置される。上記第1電極パッドは、図2(a)中、矩形で示したTEGの配置領域に置かれている。

【0031】

第2スクライブ領域SL2には、たとえば光学顕微鏡で観察しながら、先端の曲率半径が約 $10\sim 20\mu\text{m}$ 程度の探針(以下、プローブと称す)を接触させることのできる第2電極パッドBP2を備えた複数のTEGが配置されている。たとえば幅(X方向)が約 $100\mu\text{m}$ 程度、長さ(Y方向)が約 $280\mu\text{m}$ 程度の領域には、3~4個のTEGが配置される。

【0032】

図3は、第1スクライブ領域SL1に配置された複数のTEGおよび第1電極パッドBP1の一例を示す要部平面図である。

【0033】

隣接するガードバンドGBに挟まれた第1スクライブ領域SL1には、MISFET (metal insulator semiconductor field effect transistor) によって構成されたTEGを例示することができる。MISFETのゲートG、ソースS、ドレインDの各々には第1電極パッドBP1(図中、網掛けのハッチングで示す)が接続されている。この第1電極パッドBP1は、半導体基板上の最上層配線で構成された一辺が $0.5\mu\text{m}$ 以下の微小な矩形の電極であり、それぞれが他の電極と結線されない孤立パターンである。第1電極パッドBP1を微小な孤立パターンとすることにより、第1スクライブ領域SL1に多数のTEGを敷き詰めることができる。

【0034】

TEGの測定は、たとえば走査型電子顕微鏡で観察しながら、第1電極パッドBP1に、たとえばナノプローブを接触させることによって行われる。このナノプローブはタングステンからなり、電解研磨法を用いて所望する曲率半径を有する先端に加工することができる。

【0035】

なお、第1電極パッドBP1の形状を一边が $0.5\mu\text{m}$ 以下の矩形としたが、第1スクライブ領域SL1に配置されるTEGの形状や寸法に応じて、第1電極パッドBP1の寸法を選ぶことができる。たとえば、第1電極パッドBP1の形状を一边が $1\mu\text{m}$ 以下の矩形としてもよく、あるいは一边が $10\mu\text{m}$ 以下の矩形としてもよい。

【0036】

図4は、第2スクライブ領域SL2に配置されたTEGおよび複数の第2電極パッドBP2の一例を示す要部平面図である。

【0037】

第2スクライブ領域SL2には、MISFETによって構成されたTEGを例示することができる。このTEGは、光学顕微鏡により容易に位置合わせができ、かつ確実に電氣的接触をとることができるプローブを備えた装置を用いて測定することができる。すなわち、TEGを構成するMISFETのゲートG、ソースS、ドレインDの各々には、半導体基板上の最上層配線で構成された一边が約 $20\mu\text{m}$ 以上、たとえば約 $80\mu\text{m}$ 程度の矩形の電極である第2電極パッドBP2が接続されている。第2スクライブ領域SL2の約70%程度は上記第2電極パッドBP2によって占められる。

【0038】

図5は、第1スクライブ領域SL1におけるTEGを示す半導体基板の要部断面図の一例を示す。

【0039】

第1スクライブ領域SL1は、隣接するガードバンドGBで挟まれており、一方のガードバンドGB近くの製品回路領域Aには、たとえばMOS (metal oxide semiconductor) 回路、他方のガードバンドGB近くの製品回路領域Bには、たとえば容量素子Cおよび抵抗素子Rが形成されている。第1スクライブ領域SL1には、MISFETで構成されるTEGが複数個配置されており、半導体基板の主面上に設けられた素子分離領域で囲まれた領域を、一つのTEGの領域とすることができる。なお、第1スクライブ領域SL1に配置されたTEGとして、MISFETを例示したが、評価に必要とされるその他の回路素子によってT

E Gを構成してもよい。

【 0 0 4 0 】

たとえば、p型の単結晶からなる半導体基板1の主面にはpウェル2およびnウェル3、3aが形成されている。nウェル3は、相対的に浅い領域に形成されたウェルであり、nウェル3aは、相対的に深い領域に形成された埋め込みウェルであって、たとえば入出力回路などから半導体基板1を通じてノイズが浸入するのを防止するために形成される。

【 0 0 4 1 】

第1スクライブ領域SL1および製品回路領域Aには、nチャネルMISFETQnとpチャネルMISFETQpとが形成されており、これらの間は素子分離絶縁膜4で分離されている。

【 0 0 4 2 】

nチャネルMISFETQnは、素子分離絶縁膜4に囲まれた活性領域に形成されている。活性領域の半導体基板1にはpウェル2が形成されており、このpウェル2の表面には一対のn⁻型半導体領域5と一対のn⁺型半導体領域6とからなるソース、ドレインが形成されている。一対のn⁺型半導体領域6の表面には自己整合シリサイド技術によってシリサイド層7が形成されている。シリサイド層7は、たとえばチタン(Ti)シリサイド、コバルト(Co)シリサイド等である。さらに、一対のn⁻型半導体領域5間のpウェル2上には、たとえば酸化シリコン膜で構成されるゲート絶縁膜8が形成され、その上には、不純物が導入された多結晶シリコン膜からなるゲート電極9nが形成されている。ゲート電極9nの上面にはシリサイド層7が設けられ、ゲート電極9nの側壁には、たとえば酸化シリコン膜からなるサイドウォールスペーサ10が設けられている。

【 0 0 4 3 】

同様に、pチャネルMISFETQpは、素子分離絶縁膜4に囲まれた活性領域に形成されている。活性領域の半導体基板1にはnウェル3が形成されており、このnウェル3の表面には一対のp⁻型半導体領域11と一対のp⁺型半導体領域12とからなるソース、ドレインが形成されている。一対のp⁺型半導体領域12の表面にはシリサイド層7が形成されている。さらに、一対のp⁻型半導体

領域 1 1 間の n ウェル 3 上には、たとえば酸化シリコン膜で構成されるゲート絶縁膜 8 が形成され、その上には、不純物が導入された多結晶シリコン膜からなるゲート電極 9 p が形成されている。ゲート電極 9 p の上面にはシリサイド層 7 が設けられ、ゲート電極 9 p の側壁には、たとえば酸化シリコン膜からなるサイドウォールスペーサ 1 0 が設けられている。

【 0 0 4 4 】

容量素子 C は、素子分離絶縁膜 4 上に形成されている。容量素子 C を構成する下部電極 1 3 は、上記 n チャネル M I S F E T Q n のゲート電極 9 n および p チャネル M I S F E T Q p のゲート電極 9 p を構成する多結晶シリコンと同一層の導電膜によって構成され、下部電極 1 3 の側壁にはサイドウォールスペーサ 1 0 が形成されている。下部電極 1 3 の一部上面にはシリサイド層 7 が形成されている。さらに、下部電極 1 3 上には容量絶縁膜 1 4 を介して上部電極 1 5 が形成されている。容量絶縁膜 1 4 は、たとえば酸化シリコン膜と窒化シリコン膜とが下層から順に堆積された積層膜によって構成されており、上部電極 1 5 は、不純物が導入された多結晶シリコン膜によって構成されている。上部電極 1 5 の上面にはシリサイド層 7 が設けられ、上部電極 1 5 の側壁には、たとえば酸化シリコン膜からなるサイドウォールスペーサ 1 6 が設けられている。

【 0 0 4 5 】

抵抗素子 R は、素子分離絶縁膜 4 上に形成されている。抵抗素子 R の抵抗体 1 7 は、上記容量素子 C の上部電極 1 5 を構成する多結晶シリコン膜と同一層の導電膜によって構成されている。抵抗体 1 7 の一部上面にはシリサイド層 7 が設けられ、抵抗体 1 7 の側壁にはサイドウォールスペーサ 1 6 が設けられている。

【 0 0 4 6 】

さらに、n チャネル M I S F E T Q n、p チャネル M I S F E T Q p、容量素子 C および抵抗素子 R 上には、4 層構造の配線が形成されている。なお、図 5 では、4 層配線を例示したが、5 層以上または 3 層以下の多層配線を形成してもよい。

【 0 0 4 7 】

第 1 配線層 M 1 は、たとえば酸化シリコン膜で構成された第 1 層間絶縁膜 1 8

上に形成され、第 1 層間絶縁膜 1 8 の必要部分に形成された接続孔 1 9 に埋め込まれたプラグ 2 0 を介して、n チャンネル M I S F E T Q n のソース、ドレイン、p チャンネル M I S F E T Q p のソース、ドレイン、容量素子 C の下部電極 1 3、上部電極 1 5 および抵抗素子 R の抵抗体 1 7 に接続されている。なお、図示はしないが、第 1 配線層 M 1 は、n チャンネル M I S F E T Q n のゲート電極 9 n および p チャンネル M I S F E T Q p のゲート電極 9 p にも接続されている。プラグ 2 0 および第 1 配線層 M 1 は、たとえばタンゲステン等からなる。

【 0 0 4 8 】

第 2 配線層 M 2 は、たとえば酸化シリコン膜で構成された第 2 層間絶縁膜 2 1 上に形成され、第 2 層間絶縁膜 2 1 の必要部分に形成された接続孔 2 2 に埋め込まれたプラグ 2 3 を介して、第 1 配線層 M 1 に接続されている。プラグ 2 3 は、たとえばバリアメタル層および主導電層である銅膜からなり、バリアメタル層は、配線および接続部材の主成分である銅 (C u) の拡散を防止するとともに、銅と絶縁膜との接着性を向上させる機能を有し、たとえば窒化チタン (T i N)、タンタル (T a)、窒化タンタル (T a N) 等である。第 2 配線層 M 2 は、たとえばバリアメタル層および主導電層である銅膜からなり、第 2 層間絶縁膜 2 1 に形成した溝上に配線用金属を埋め込んだ後、溝外部の余分な金属を C M P (chemical mechanical polishing) 法を用いて除去することにより溝内に配線パターンを形成する方法、いわゆるシングルダマシン (single damascene) 法によって形成することができる。

【 0 0 4 9 】

第 3 配線層 M 3 は、たとえば酸化シリコン膜で構成された第 3 層間絶縁膜 2 4 上に形成され、第 3 層間絶縁膜 2 4 の必要部分に形成された接続孔 2 5 に埋め込まれたプラグ 2 6 を介して、第 2 配線層 M 2 に接続されている。プラグ 2 6 は、たとえば上記プラグ 2 3 と同様に、バリアメタル層および主導電層である銅膜からなり、第 3 配線層 M 3 は、たとえば上記第 2 配線層 M 2 と同様にバリアメタル層および主導電層である銅膜からなる。

【 0 0 5 0 】

第 4 配線層 M 4 は、たとえば酸化シリコン膜で構成された第 4 層間絶縁膜 2 7

上に形成され、第4層間絶縁膜27の必要部分に形成された接続孔28に埋め込まれたプラグ29を介して、第3配線層M3に接続されている。プラグ29は、たとえばタングステン等からなり、第4配線層M4は、たとえばアルミニウム等からなる。さらに、半導体集積回路を保護するためのパッシベーション膜（保護膜）30が半導体基板1のほぼ全面を覆っている。

【0051】

最上層配線である第4配線層M4によって、第1スクライブ領域SL1の第1電極パッドBP1、および製品回路に接続された信号入出力用等のボンディングパッドBP3が構成されている。ボンディングパッドBP3は、チップCPの中央部またはチップCPの周辺部に配置することができる。ボンディングパッドBP3上のパッシベーション膜30には開孔部31が形成され、ボンディングパッドBP3の表面の一部が、パッケージの外部端子との接続のために露出している。しかし、第1スクライブ領域SL1上ではパッシベーション膜30は除去されず、第1スクライブ領域SL1の第1電極パッドBP1はパッシベーション膜30によって覆われている。後述するように、特性評価または不良解析に用いられるTEGの第1電極パッドBP1上のパッシベーション膜30は測定時に除去される。

【0052】

第1電極パッドBP1は、第3配線層M3と第4配線層M4とをつなぐ接続孔28の孔径の設計寸法に第4配線層M4と接続孔28との合わせ余裕を加えた寸法を一辺とする矩形の電極である。たとえば、接続孔28の孔径が $0.15\mu\text{m}$ （L）の場合、合わせ余裕を考慮して、第1電極パッドBP1の一辺は、約 $0.2\mu\text{m}$ （ $L \times 4/3$ ）程度となる。

【0053】

ガードバンドGBは、半導体基板1上に下層からプラグ20、第1配線層M1、プラグ23、第2配線層M2、プラグ26、第3配線層M3、プラグ29および第4配線層M4を積層してなり、半導体集積回路の周辺に設けられている。

【0054】

図6は、第1スクライブ領域SL1に配置されたTEGの一部を拡大して示す

。(a)は、TEGの概略斜視図、(b)は、TEGの概略断面図であり、MISFETによって構成され、2層構造の配線を有するTEGが例示されている。

【0055】

半導体基板32上に設けられたMISFETのゲート33、ソース、ドレインは、プラグ34を介して第1配線層M1に接続されている。さらに、第1配線層M1は、プラグ35を介して最上層配線である第2配線層M2に接続されている。第2配線層M2は、特性評価または不良解析に用いられるTEGの第1電極パッドBP1を構成し、その表面はパッシベーション膜36によって覆われている。また、第2配線層M2からなる一個の第1電極パッドBP1は、一個のプラグ35に接続され、複数のプラグ35とは結線されていない孤立パターンである。

【0056】

図7は、第1スクライブ領域SL1におけるTEGを示す半導体基板の要部断面図の他の例である。図には、第1スクライブ領域SL1に配置されたnチャネルMISFETによって構成され、2層構造の配線を有する複数のTEGを示している。なお、第1スクライブ領域SL1に配置されたTEGとして、nチャネルMISFETを例示したが、評価に必要とされるその他の回路素子によってTEGを構成してもよい。

【0057】

前記図5に示した第1スクライブ領域SL1と同様に、半導体基板1の主面上に設けられた素子分離領域4aで囲まれた領域を、一つのTEGの領域とすることができる。第1スクライブ領域SL1に形成されたMISFETは、前記図5で説明したnチャネルMISFETQnとほぼ同じ構造であることから、その説明は省略する。

【0058】

第1配線層M1は、たとえば酸化シリコン膜で構成された第1層間絶縁膜37上に形成され、第1層間絶縁膜37の必要部分に形成された接続孔38に埋め込まれたプラグ39を介して、nチャネルMISFETのソース、ドレインなどに接続されている。プラグ39は、たとえばタンゲステン等である。

【0059】

第 1 配線層 M 1 は、プラグ 3 9 の上層のストッパ絶縁膜 4 0 および配線形成用の絶縁膜 4 1 に形成された配線溝 4 2 に埋め込まれており、いわゆるシングルダマシン配線とすることができる。第 1 配線層 M 1 は、たとえばタングステン等である。ストッパ絶縁膜 4 0 は、絶縁膜 4 1 への溝加工の際にエッチングストッパとなる膜であり、絶縁膜 4 1 に対してエッチング選択比を有する材料を用いる。ストッパ絶縁膜 4 0 は、たとえば窒化シリコン膜、絶縁膜 4 1 は、たとえば酸化シリコン膜である。

【 0 0 6 0 】

第 2 配線層 M 2 は、第 1 配線層 M 1 の上層の第 2 層間絶縁膜 4 3 に形成された接続孔 4 4 と配線溝（図示せず）とに同一部材が埋め込まれた、いわゆるデュアルダマシン（dual damascene）配線とすることができる。第 2 配線層 M 2 は、たとえばバリアメタル層および主導電層である銅膜からなり、バリアメタル層は、たとえば窒化チタン、タンタル、窒化タンタル等である。

【 0 0 6 1 】

第 2 層間絶縁膜 4 3 は、たとえばキャップ絶縁膜 4 3 a、第 1 絶縁膜 4 3 b、配線形成用のストッパ絶縁膜 4 3 c および配線形成用の第 2 絶縁膜 4 3 d が下層から順に堆積された積層膜によって構成され、キャップ絶縁膜 4 3 a および第 1 絶縁膜 4 3 b には、第 1 配線層 M 1 に達する接続孔 4 4、ストッパ絶縁膜 4 3 c および第 2 絶縁膜 4 3 d には、第 2 配線層 M 2 が埋め込まれる配線溝が形成される。

【 0 0 6 2 】

キャップ絶縁膜 4 3 a は、第 1 絶縁膜 4 3 b に対してエッチング選択比を有する材料で構成され、たとえば窒化シリコン膜であり、第 1 絶縁膜 4 3 b は、たとえば酸化シリコン膜である。また、ストッパ絶縁膜 4 3 c は、第 1 絶縁膜 4 3 b または第 2 絶縁膜 4 3 d に対してエッチング選択比を有する材料で構成され、たとえば窒化シリコン膜であり、第 2 絶縁膜 4 3 d は、たとえば酸化シリコン膜である。さらに、ストッパ絶縁膜 4 3 c は、第 2 配線層 M 2 の上層に成膜されるパッシベーション膜 4 6 のエッチングストッパ層としても機能する。

【 0 0 6 3 】

最上層配線である第2配線層M2によって、第1スクライプ領域SL1の第1電極パッドBP1が構成されている。第1スクライプ領域SL1上のパッシベーション膜46には広く開孔部47が設けられており、パッシベーション膜46をエッチングする際に配線形成用の第2絶縁膜43dも除去されて、第1電極パッドBP1が島状に露出している。

【0064】

図8は、第2スクライプ領域SL2におけるTEGを示す半導体基板の要部断面図の一例である。

【0065】

第1スクライプ領域SL1と同様に、第2スクライプ領域SL2は、隣接するガードバンドGBで挟まれており、一方のガードバンドGB近くの製品回路領域Aには、たとえばMOS回路、他方のガードバンドGB近くの製品回路領域Bには、たとえば容量素子Cおよび抵抗素子Rが形成されている。第2スクライプ領域SL2には、nチャネルMISFETQnで構成されるTEGが配置されている。なお、図8では、第2スクライプ領域SL2に配置されるTEGとして、nチャネルMISFETQnを例示したが、評価に必要とされるその他の回路素子によってTEGを構成してもよい。また、4層配線を例示したが、5層以上または3層以下の多層配線を形成してもよい。

【0066】

第2スクライプ領域SL2に形成された第1配線層M1、第2配線層M2および第3配線層M3については、各々第1スクライプ領域SL1に形成された第1配線層M1、第2配線層M2および第3配線層M3とほぼ同じであるので、その説明は省略する。

【0067】

最上層配線である第4配線層M4によって、第2スクライプ領域SL2の第2電極パッドBP2、および製品回路に接続された信号入出力用等のボンディングパッドBP3が構成されている。ボンディングパッドBP3は、チップCPの中央部またはチップCPの周辺部に配置することができる。ボンディングパッドBP3上のパッシベーション膜30には開孔部31が形成され、ボンディングパッド

ド B P 3 の表面の一部が、パッケージの外部端子との接続のために露出している。

【 0 0 6 8 】

同様に、第 2 スクライブ領域 S L 2 に配置された第 2 電極パッド B P 2 上のパッシベーション膜 3 0 にも開孔部 3 1 a が形成され、第 2 電極パッド B P 2 の表面の一部が露出している。第 2 電極パッド B P 2 上の開孔部 3 1 a とボンディングパッド B P 3 上の開孔部 3 1 とは同じリソグラフィ工程およびエッチング工程で形成される。

【 0 0 6 9 】

図 9 は、第 2 スクライブ領域 S L 2 に配置された T E G の一部を拡大して示す。(a) は、T E G の概略斜視図、(b) は、T E G の概略断面図であり、M I S F E T によって構成され、2 層構造の配線を有する T E G が例示されている。

【 0 0 7 0 】

半導体基板 3 2 上に設けられた M I S F E T のゲート 3 3、ソース、ドレインは、プラグ 3 4 を介して第 1 配線層 M 1 に接続されている。さらに、第 1 配線層 M 1 は、プラグ 3 5 を介して最上層配線である第 2 配線層 M 2 に接続されている。第 2 配線層 M 2 は、特性評価または不良解析に用いられる T E G の第 2 電極パッド B P 2 を構成し、その表面の一部は、パッシベーション膜 3 6 を開孔することにより露出している。また、第 2 配線層 M 2 からなる一個の第 2 電極パッド B P 2 は、一個のプラグ 3 5 に接続してもよく、または複数のプラグ 3 5 に接続してもよい。たとえば複数の M I S F E T のゲートを一個の第 2 電極パッド B P 2 に接続し、共通ゲートの第 2 電極パッド B P 2 を構成してもよく、同様に、複数の M I S F E T のソースを一個の第 2 電極パッド B P 2 に接続し、共通ソースの第 2 電極パッド B P 2 を構成してもよい。

【 0 0 7 1 】

次に、前記図 7 に示した第 1 スクライブ領域 S L 1 における T E G の製造方法の一例を図 1 0 ～図 1 4 に示した半導体基板の要部断面図を用いて工程順に説明する。

【 0 0 7 2 】

まず、図 1 0 に示すように、たとえば p^- 型の単結晶シリコンからなる半導体基板 1 を用意し、半導体基板 1 の主面に素子分離領域 4 a を形成する。素子分離領域 4 a は、たとえば以下のようにして形成できる。まず、半導体基板 1 の主面上に酸化シリコン膜および窒化シリコン膜を順次形成し、この窒化シリコン膜をパターニングされたフォトリソ膜を用いてエッチングし、このエッチングされた窒化シリコン膜をマスクとして半導体基板 1 に浅溝を形成する。その後、浅溝を埋め込む絶縁膜、たとえば酸化シリコン膜を堆積し、CMP 法等を用いて浅溝以外の領域の酸化シリコン膜を除去し、さらにウェットエッチング法等により窒化シリコン膜を除去する。これより素子分離領域 4 a が形成される。

【 0 0 7 3 】

次に、パターニングされたフォトリソ膜をマスクとして不純物をイオン注入し、 p ウェル 2 および n ウェル 3 a を形成する。 p ウェル 2 には p 型の導電型を示す不純物、たとえばボロン (B) をイオン注入し、 n ウェル 3 a には n 型の導電型を示す不純物、たとえばリン (P) をイオン注入する。この後、各ウェル領域に MISFET のしきい値を制御するための不純物をイオン注入してもよい。

【 0 0 7 4 】

次に、ゲート絶縁膜 8 となる酸化シリコン膜、ゲート電極 9 n となる n 型不純物が導入された多結晶シリコン膜、キャップ絶縁膜 4 8 となる酸化シリコン膜を順次堆積した後、パターニングされたフォトリソ膜をマスクとしてこれらの膜を順次エッチングする。これにより、ゲート絶縁膜 8、ゲート電極 9 n およびキャップ絶縁膜 4 8 を形成する。ゲート絶縁膜 8 は、たとえば CVD (chemical vapor deposition) 法により形成することができ、ゲート電極 9 n は CVD 法により形成することができる。

【 0 0 7 5 】

次に、半導体基板 1 上に、たとえば CVD 法で酸化シリコン膜を堆積した後、この酸化シリコン膜を異方性エッチングすることにより、ゲート電極 9 n の側壁にサイドウォールスペーサ 1 0 を形成する。その後、フォトリソ膜をマスクとして、 p ウェル 2 に n 型不純物 (たとえばリン、ヒ素 (As)) をイオン注入

し、pウェル2上のゲート電極9nの両側に n^+ 型半導体領域6を形成する。 n^+ 型半導体領域6は、ゲート電極9nおよびサイドウォールスペーサ10に対して自己整合的に形成され、nチャネルMISFETのソース、ドレインとして機能する。

【0076】

なお、サイドウォールスペーサ10の形成前に相対的に低濃度の n^- 型半導体領域5を形成し、サイドウォールスペーサ10の形成後に相対的に高濃度の n^+ 型半導体領域6を形成して、いわゆるLDD (lightly doped drain) 構造としてもよい。

【0077】

また、半導体基板1上に、たとえばコバルト膜またはチタン膜をスパッタリング法で堆積し、次いで熱処理を半導体基板1に施すことにより、nチャネルMISFETのゲート電極9nの表面およびソース、ドレインを構成する一対の n^+ 型半導体領域6に選択的にシリサイド層を形成してもよい。シリサイド層は、たとえばチタンシリサイド、コバルトシリサイド等である。なお、この場合、ゲート電極9n上のキャップ絶縁膜48は形成しない。

【0078】

次に、図11に示すように、半導体基板1上にスパッタ法またはCVD法で酸化シリコン膜を堆積した後、その酸化シリコン膜を、たとえばCMP法で研磨することにより、表面が平坦化された第1層間絶縁膜37を形成する。第1層間絶縁膜37は、窒化シリコン膜、SOG (spin on glass) 膜、BP SG (boron phosphor silicate glass) 膜、PSG (phosphor silicate glass) 膜等の積層膜で形成してもよい。

【0079】

次に、リソグラフィ・エッチング技術を用いて第1層間絶縁膜37に接続孔38を形成する。この接続孔38は、 n^+ 型半導体領域6またはゲート電極9n上などの必要部分に形成する。

【0080】

次に、接続孔38内にプラグ39を、たとえば以下のようにして形成する。ま

ず、接続孔 3 8 の内部を含む半導体基板 1 の全面に窒化チタン膜を、たとえば C V D 法で形成し、さらに接続孔 3 8 を埋め込むタングステン膜を、たとえば C V D 法で形成する。その後、接続孔 3 8 以外の領域の窒化チタン膜およびタングステン膜を、たとえば C M P 法により除去してプラグ 3 9 を形成する。

【 0 0 8 1 】

次に、第 1 層間絶縁膜 3 7 およびプラグ 3 9 上にストッパ絶縁膜 4 0 を形成し、さらに配線形成用の絶縁膜 4 1 を形成する。ストッパ絶縁膜 4 0 は、絶縁膜 4 1 への溝加工の際にエッチングストッパとなる膜であり、絶縁膜 4 1 に対してエッチング選択比を有する材料を用いる。ストッパ絶縁膜 4 0 は、たとえば窒化シリコン膜とし、絶縁膜 4 1 は、たとえば酸化シリコン膜とする。次いで、リソグラフィ・エッチング技術を用いてストッパ絶縁膜 4 0 および絶縁膜 4 1 の所定の領域に配線溝 4 2 を形成する。

【 0 0 8 2 】

次に、配線溝 4 2 の内部に第 1 配線層 M 1 を形成する。第 1 配線層 M 1 は、タングステン膜からなる。第 1 配線層 M 1 の形成は、たとえば以下のようにして行う。まず、配線溝 4 2 の内部を含む半導体基板 1 の全面にタングステン膜を形成する。タングステン膜の形成には、たとえば C V D 法を用いる。その後、配線溝 4 2 以外の領域のタングステン膜を、たとえば C M P 法により除去して第 1 配線層 M 1 を形成する。

【 0 0 8 3 】

次に、デュアルダマシン法により第 2 配線層 M 2 を形成する。まず、図 1 2 に示すように、絶縁膜 4 1 および第 1 配線層 M 1 上にキャップ絶縁膜 4 3 a、第 1 絶縁膜 4 3 b、配線形成用のストッパ絶縁膜 4 3 c、配線形成用の第 2 絶縁膜 4 3 d を順次形成する。

【 0 0 8 4 】

キャップ絶縁膜 4 3 a および第 1 絶縁膜 4 3 b には、後に説明するように接続孔 4 4 が形成される。キャップ絶縁膜 4 3 a は、第 1 絶縁膜 4 3 b に対してエッチング選択比を有する材料で構成され、たとえば窒化シリコン膜とすることができ、窒化シリコン膜は、たとえばプラズマ C V D 法によって形成される。第 1

絶縁膜43bは、酸化シリコン膜からなり、たとえばCVD法によって形成される。

【0085】

ストッパ絶縁膜43cおよび第2絶縁膜43dには、後に説明するように配線溝45が形成される。ストッパ絶縁膜43cは、第2絶縁膜43dに対してエッチング選択比を有する材料で構成され、たとえば窒化シリコン膜とすることができる。窒化シリコン膜は、たとえばプラズマCVD法によって形成される。第2絶縁膜43dは、たとえば原料ガスとしてTEOS (tetra ethyl ortho silicate : $\text{Si}(\text{OC}_2\text{H}_5)_4$) ガスとオゾン (O_3) ガスとを用いたプラズマCVD法で形成されたTEOS酸化膜とすることができる。

【0086】

次に、キャップ絶縁膜43aおよび第1絶縁膜43bに接続孔44を、ストッパ絶縁膜43cおよび第2絶縁膜43dに配線溝45を形成する。デュアルダマシン法による接続孔44および配線溝45は、たとえば以下のように形成できる。

【0087】

まず、孔パターンにパターニングされたフォトリジスト膜をマスクとして、たとえばドライエッチング法により第2絶縁膜43d、ストッパ絶縁膜43cおよび第1絶縁膜43bを順次エッチングする。この際、キャップ絶縁膜43aはエッチングストッパ層として機能する。次に、上記フォトリジスト膜を除去した後、溝パターンにパターニングされたフォトリジスト膜をマスクとして、たとえばドライエッチング法により第2絶縁膜43dをエッチングする。この際、ストッパ絶縁膜43cはエッチングストッパ層として機能する。その後、露出しているキャップ絶縁膜43aをエッチング除去する。

【0088】

次に、接続孔44および配線溝45の内部に第2配線層M2を形成する。第2配線層M2はバリアメタル層および主導電層である銅膜からなり、第1配線層M1と第2配線層M2とを接続する接続部材は、第2配線層M2と一体に形成される。第2配線層M2の形成方法は、たとえば以下のように行う。

【 0 0 8 9 】

まず、図 1 3 に示すように、接続孔 4 4 および配線溝 4 5 の内部を含む半導体基板 1 の全面にバリアメタル層 4 9 a を形成する。バリアメタル層 4 9 a は、たとえば窒化チタン、タンタル、窒化タンタル等である。次に、バリアメタル層 4 9 a 上に銅のシード層（図示せず）を、たとえば C V D 法またはスパッタ法により形成した後、銅膜 4 9 b をメッキ法により形成する。メッキ法は電解メッキ、無電解メッキのいずれの方法を用いてもよい。また、銅膜 4 9 b はメッキ法に限らず、スパッタ法により形成してもよい。この場合、上記シード層は必要ではない。スパッタ法により銅膜 4 9 b を形成する場合には、接続孔 4 4 および配線溝 4 5 に銅が埋め込まれるように熱処理を施して銅をリフローさせることができる。

【 0 0 9 0 】

次に、図 1 4 に示すように、CMP 法を用いて銅膜 4 9 b およびシード層を研磨する。銅は研磨速度が大きいので、まず先に銅の部分が除去される。さらに研磨を継続し、第 2 絶縁膜 4 3 d 上のバリアメタル層 4 9 a も除去する。これにより配線溝 4 5 以外の領域の銅膜 4 9 b （シード層を含む）およびバリアメタル層 4 9 a が除外されて、接続部材と一体に形成された第 2 配線層 M 2 が形成される。その後、たとえば酸化シリコン膜からなるパッシベーション膜 4 6 で半導体基板 1 の全面を覆う。酸化シリコン膜は、たとえばプラズマ C V D 法で形成される。

【 0 0 9 1 】

次に、リソグラフィ・エッチング技術を用いて、第 1 スクライブ領域 S L 1 のパッシベーション膜 4 6 を除去し、同時にストッパ絶縁膜 4 3 c をエッチングストッパ層に用いて、第 2 絶縁膜 4 3 d を除去する。これにより、前記図 7 に示すように、第 1 スクライブ領域 S L 1 に、島状に露出した第 2 配線層 M 2 によって構成される第 1 電極パッド B P 1 が形成される。

【 0 0 9 2 】

次に、図 1 5 ～図 1 8 を用いて、前記図 5 に示した半導体装置の第 1 スクライブ領域 S L 1 に配置された T E G の電気的特性を測定する方法について説明する。

。図 1 5 は、T E G 特性の測定方法を説明するための工程図、図 1 6 は、T E G に備わる第 1 電極パッド B P 1 の一部表面が露出した形態を示す半導体基板の拡大断面図、図 1 7 は、T E G に備わる第 1 電極パッド B P 1 にナノプローブ N P が接触した形態を示す半導体基板の拡大断面図、図 1 8 は、独立に移動できる複数のナノプローブ N P を走査型電子顕微鏡内に組み込んだ測定装置 M S の概略図である。

【 0 0 9 3 】

まず、図 1 6 に示すように、測定する T E G に備わった第 1 電極パッド B P 1 上のパッシベーション膜 3 6 を除去し、第 1 電極パッド B P 1 の表面の一部を露出させる（図 1 5 の工程 1 0 0）。第 1 電極パッド B P 1 上のパッシベーション膜 3 6 は、たとえば集束イオンビーム（focused ion beam: F I B）法または反応性イオンエッチング（reactive ion etching: R I E）法によって除去される。上記 F I B 法では、たとえばガリウムイオンを約 3 0 k e V 程度で加速し、3 0 ~ 5 0 n m 程度のビーム径に集束して、パッシベーション膜 3 6 をスパッタ除去することができる。なお、第 1 電極パッド B P 1 上のパッシベーション膜 3 6 を除去する際、第 1 電極パッド B P 1 が同時に除去されても、第 1 電極パッド B P 1 が接続しているプラグ 3 5 が、第 1 電極パッド B P 1 の代わりの電極となり、T E G の特性測定を行うことができる。

【 0 0 9 4 】

なお、前記図 7 に示した半導体装置では、すでに第 1 スクライブ領域 S L 1 上のパッシベーション膜 4 6 が除去されて、第 1 電極パッド B P 1 の表面が露出しているので、上記工程 1 0 0 は省略される。

【 0 0 9 5 】

次に、図 1 7 に示すように、測定装置 M S の試料台 5 0 上にウェハを載せた後（図 1 5 の工程 1 0 1）、n m オーダの分解能を持つ、たとえば走査型電子顕微鏡で観察しながら、図 1 8 に示すように、複数のナノプローブ N P の先端を第 1 電極パッド B P 1 に接触させる（図 1 5 の工程 1 0 2）。

【 0 0 9 6 】

測定装置 M S に組み込まれた走査型電子顕微鏡は、電子源 5 1、偏向レンズ 5

2、2次電子検出器53から構成されており、1次電子ビーム54が系統的にウエハ上を掃引し、ウエハ表面から放出される2次電子の強度を記録することで、ウエハ上のパターンが観察される。走査型電子顕微鏡で観察しながらナノプローブNPを接触させるべき第1電極パッドBP1の上まで移動させる。この移動は、ナノプローブNPそれぞれの粗動機構55x, 55y, 55zおよび微動機構56からなる探針移動機構を制御することにより行う。なお、図17では、3本のナノプローブNPを例示したが、探針の数はこれに限るものではない。

【0097】

次に、たとえば接触電流の飽和等により正確な接触確認を行う（図15の工程103）。その後、複数のナノプローブNP間の電流－電圧特性を、たとえば汎用テスター57等で測定することで（図15の工程104）、TEGの電気的特性を得ることができる。

【0098】

なお、本実施の形態1では、スクライブ領域SLを第1電極パッドBP1を備えたTEGが配置された第1スクライブ領域SL1と、第2電極パッドBP2を備えたTEGが配置された第2スクライブ領域SL2とで構成したが、上記第1電極パッドBP1を備えたTEG、または上記第2電極パッドBP2を備えたTEGのみをスクライブ領域SLに配置してもよい。

【0099】

このように、本実施の形態1によれば、ウエハ上のスクライブ領域SLに多数のTEGを配置することができ、上記TEGの特性を評価することによって多くのデータを得ることができる。これにより、開発および量産段階における半導体製品の歩留まりの維持、向上を実現することができる。

【0100】

（実施の形態2）

前記実施の形態1では、一辺が、たとえば約 $0.5\mu\text{m}$ 以下の矩形の第1電極パッドBP1が備わったTEGと、一辺が、たとえば約 $20\mu\text{m}$ 以上の矩形の第2電極パッドBP2が備わったTEGについて説明したが、本実施の形態2では、一辺が、たとえば約 $0.5\mu\text{m}$ 以下の矩形の第1電極パッドBP1と、一辺が

、たとえば約 $20\ \mu\text{m}$ 以上の矩形の第 2 電極パッド BP 2 とが備わった TEG について説明する。

【0101】

図 19 は、第 3 のスクライブ領域 SL 3 に配置された複数の TEG および電極パッドの一例を示す要部平面図である。

【0102】

第 3 のスクライブ領域 SL 3 には、MISFET によって構成された TEG を例示することができる。MISFET のソース S、ドレイン D の各々には、一辺が $0.5\ \mu\text{m}$ 程度の微小な矩形の電極であって、それぞれが他の電極と結線されない孤立パターンである第 1 電極パッド BP 1 (図中、網掛けのハッチングで示す) が接続されている。一方、MISFET のゲート G およびウェル (または半導体基板) の給電には、一辺が、たとえば約 $80\ \mu\text{m}$ 程度の矩形の電極である第 2 電極パッド BP 2 が接続されている。一つの第 2 電極パッド BP 2 は、複数の MISFET のゲート G、または複数の MISFET のウェル (または半導体基板) に接続されている。ゲート G およびウェル (または半導体基板) に第 2 電極パッド BP 2 を接続することによってインピーダンスが低減されるので、たとえば外部からの信号電圧を MISFET に供給する場合、信号電圧の変動等を抑えることができる。

【0103】

図 20 は、第 3 のスクライブ領域 SL 3 に配置された複数の TEG を MISFET で構成した場合の TEG の配置領域 (図中、網掛けのハッチングで示す) および第 2 電極パッド BP 2 の配置例の概略図である。第 1 電極パッド BP 1 は、図中、網掛けのハッチングで示した TEG の配置領域に置かれている。

【0104】

基板電位、ウェル電位およびドレインへ供給される電源電圧は、各々第 2 電極パッド BP 2 (SUB), BP 2 (WEL), BP 2 (D) を用いて給電され、一つの第 2 電極パッド BP 2 は、複数の MISFET に共通に接続されている。これにより、たとえば基板電位、ウェル電位等に十分な接地特性を提供することができる。一方、図示はしないが、ゲートへ供給される電圧またはソースへ供給

されるグランド電位は、第 1 電極パッド B P 1 を用いて給電されており、測定時は第 1 電極パッド B P 1 にナノプローブを接触させる。

【 0 1 0 5 】

図 2 1 は、第 3 のスクライブ領域 S L 3 に配置された複数の T E G をリングオシレータ等の高周波回路で構成した場合の T E G の配置領域（図中、網掛けのハッチングで示す）および第 2 電極パッド B P 2 の配置例の概略図である。第 1 電極パッド B P 1 は、図中、網掛けのハッチングで示した T E G の配置領域に置かれている。

【 0 1 0 6 】

基板電位、電源電圧は、各々第 2 電極パッド B P 2 （ S U B ） , B P 2 （ V C ）を用いて給電され、一つの第 2 電極パッド B P 2 は、複数の高周波回路に共通に接続されている。これにより、たとえば基板電位または高周波の電源電圧に十分な接地特性を提供することができる。一方、図示はしないが、入力端子および出力端子などは、第 1 電極パッド B P 1 を用いて給電されており、測定時は第 1 電極パッド B P 1 にナノプローブ N P を接触させる。

【 0 1 0 7 】

このように、本実施の形態 2 によれば、T E G に安定した基板（またはウェル）電位または電源電圧の供給を必要とする場合、一つの T E G に備わる電極パッドに第 1 電極パッド B P 1 と第 2 電極パッド B P 2 とを併用する。第 1 電極パッド B P 1 を用いることにより、T E G の高集積化を実現すると同時に、基板（またはウェル）電位または電源電圧は、複数の T E G に共有される第 2 電極パッド B P 2 から供給されて、T E G への良好な接地特性を外部から供給することができる。

【 0 1 0 8 】

（実施の形態 3）

本実施の形態 3 であるナノプローブを用いた半導体製品の実デバイスの特性評価または不良解析を説明する。実デバイスとして、図 2 2 に示した基本論理回路の一つである C M O S インバータ回路を挙げて、その論理値の測定方法を説明する。図 2 2 （ a ）は、C M O S インバータ回路の回路図、同図（ b ）は、C M O

Sインバータ回路を構成するnチャネルMISFET Q_n およびpチャネルMISFET Q_p を示す半導体基板の要部斜視図である。図22(b)では、第1配線層からなる引き出し電極にナノプローブが接触した例を示しているが、多層配線の場合は、第2配線層以上の最上層配線からなる引き出し電極にナノプローブを接触させることができる。図中、SUBは半導体基板、PWE Lはpウェル、NWE Lはnウェルである。

【0109】

n本の入力とm本の出力から構成される論理回路においては($n+m+3$)本のナノプローブを用いて測定される。上記+3本の内訳は基板電位用のナノプローブ、電源電位用のナノプローブ、および接触確認用のナノプローブである。多入出力論理回路において不良個所を特定使用とする場合、上記接触確認用のナノプローブは、多入出力論理回路上の任意のノードの電圧を記録する役目をはたすことが可能である。ここでは5本のナノプローブNP1~NP5が使用される。

【0110】

まず、測定に用いられる引き出し電極上のパッシベーション膜の表面に開孔部を形成した後、ナノプローブNP1~NP5を、それぞれ引き出し電極に接触させる。ナノプローブNP1はpチャネルMISFET Q_p のソースS、ナノプローブNP2はnチャネルMISFET Q_n のソースS、ナノプローブNP3は共通に接続されたnチャネルMISFET Q_n のゲートGとpチャネルMISFET Q_p のゲートG、ナノプローブNP4は共通に接続されたnチャネルMISFET Q_n のドレインDとpチャネルMISFET Q_p のドレインDに接触させることができる。ナノプローブNP5はオーミックコンタクトを確認するための接触確認用の探針である。

【0111】

次に、ナノプローブNP3とナノプローブNP5との間で電気抵抗を測定する。この抵抗が接触させている材料から予想される固有抵抗に等しくなるまで両ナノプローブNP3, NP5を引き出し電極上に降下させる。

【0112】

次に、ナノプローブNP1に電源電圧(V_{cc})を印加し、ナノプローブNP

2にグランド電位 (V_{ss}) を印加する。入力端子 ($i n$) のナノプローブNP3に $h i g h$ の電位 (V_g)、たとえば5Vを印加すると、出力端子 ($o u t$) のナノプローブNP4には $l o w$ の電位 (V_d)、たとえば0Vが観測される。また、入力端子 ($i n$) のナノプローブNP3に $l o w$ の電位 (V_g)、たとえば0Vを印加すると、出力端子 ($o u t$) のナノプローブNP4には $h i g h$ の電位 (V_d)、たとえば5Vが観測される。これにより、CMOSインバータ回路の正常な論理的動作を確認することができる。

【0113】

CMOSインバータ回路が真理値表通りの動作をしなかった場合は、何れかのMISFET、配線または接続部等における不良が考えられる。たとえば、入力端子 ($i n$) に $h i g h$ の電位 (V_g) を印加しても、出力端子 ($o u t$) の電位 (V_d) が $l o w$ にならず、pチャネルMISFET Q_p とnチャネルMISFET Q_n との抵抗に比例する電位が出力する場合は、pチャネルMISFET Q_p のショートが考えられる。また、入力端子 ($i n$) に $l o w$ の電位 (V_g) を印加しても、出力端子 ($o u t$) の電位 (V_d) が $h i g h$ にならず、pチャネルMISFET Q_p とnチャネルMISFET Q_n との抵抗に比例する電位が出力する場合は、nチャネルMISFET Q_n のショートが考えられる。

【0114】

論理回路の基本は、インバータ回路、NAND回路、NOR回路などの単位論理機能を有する回路であることから、大規模な論理回路においても、これらの基本論理回路に切り離して計測することにより、どの基本論理回路が不良を起こしているかを同定することができる。さらに、基本論理回路内での素子の不良を検出することができる。

【0115】

このように、本実施の形態3によれば、半導体製品の任意の引き出し電極にナノプローブNPを接触させることで、実デバイスの特性評価または不良解析を行うことができる。これにより、たとえば基本回路単位で諸特性や不良箇所の同定を明らかにすることができ、また、半導体製品における不良箇所、不良回路等を短期間に絞りこむことができ、半導体製品の歩留まりを向上することができる。

【 0 1 1 6 】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【 0 1 1 7 】

たとえば、前記実施の形態では、半導体製品を評価する T E G をスクライブ領域に配置したが、T E G を半導体回路領域に配置することができる。これにより、チップ状の半導体製品においても、T E G の特性評価または不良解析を行うことができる。従って、チップ状の半導体製品からも不良解析等に要するデータを得ることができて、半導体製品の歩留まりを向上することができる。

【 0 1 1 8 】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【 0 1 1 9 】

スクライブ領域に多数配置された T E G を測定することにより、半導体装置の歩留まりを向上することができる。

【 0 1 2 0 】

半導体製品の実デバイスの特性評価または不良解析を行うことにより、半導体装置の歩留まりを向上することができる。

【 0 1 2 1 】

半導体回路領域に配置された T E G の特性評価または不良解析を行うことにより、半導体装置の歩留まりを向上することができる。

【図面の簡単な説明】

【図 1】

本実施の形態 1 であるウエハ内のスクライブ領域を示す平面図である

【図 2】

本実施の形態 1 である複数の T E G が配置されたスクライブ領域の模式図であ

る。

【図 3】

第 1 スクライブ領域に配置された複数の T E G および電極パッドの一例を示す要部平面図である。

【図 4】

第 2 スクライブ領域に配置された T E G の配置領域および複数の電極パッドの一例を示す要部平面図である。

【図 5】

第 1 スクライブ領域に配置された T E G を示す半導体基板の要部断面図の一例である。

【図 6】

第 1 スクライブ領域に配置された T E G の一部の拡大図であり、(a) は、T E G の概略斜視図、(b) は、T E G の概略断面図である。

【図 7】

第 1 スクライブ領域に配置された T E G を示す半導体基板の要部断面図の他の例である。

【図 8】

第 2 スクライブ領域に配置された T E G を示す半導体基板の要部断面図の一例である。

【図 9】

第 2 スクライブ領域に配置された T E G の一部の拡大図であり、(a) は、T E G の概略斜視図、(b) は、T E G の概略断面図である。

【図 1 0】

第 1 スクライブ領域に配置された T E G の製造方法を工程順に示す半導体基板の要部断面図である。

【図 1 1】

第 1 スクライブ領域に配置された T E G の製造方法を工程順に示す半導体基板の要部断面図である。

【図 1 2】

第 1 スクライブ領域に配置された T E G の製造方法を工程順に示す半導体基板の要部断面図である。

【図 1 3】

第 1 スクライブ領域に配置された T E G の製造方法を工程順に示す半導体基板の要部断面図である。

【図 1 4】

第 1 スクライブ領域に配置された T E G の製造方法を工程順に示す半導体基板の要部断面図である。

【図 1 5】

T E G 特性の測定方法を説明するための工程図である。

【図 1 6】

T E G に備わる電極パッドの一部表面が露出した形態を示す半導体基板の拡大断面図である。

【図 1 7】

T E G に備わる電極パッドに探針が接触した形態を示す半導体基板の拡大断面図である。

【図 1 8】

複数のナノプローブを備えた測定装置の概略図である。

【図 1 9】

第 3 のスクライブ領域に配置された複数の T E G および電極パッドの一例を示す要部平面図である。

【図 2 0】

第 3 のスクライブ領域に配置された複数の T E G および電極パッドの配置例の概略図である。

【図 2 1】

第 3 のスクライブ領域に配置された複数の T E G および電極パッドの配置例の概略図である。

【図 2 2】

(a) は、 C M O S インバータ回路の回路図、 (b) は、 C M O S インバータ

回路を示す半導体基板の要部斜視図である。

【符号の説明】

- 1 半導体基板
- 2 p ウェル
- 3 n ウェル
- 3 a n ウェル
- 4 素子分離絶縁膜
- 4 a 素子分離領域
- 5 n^- 型半導体領域
- 6 n^+ 型半導体領域
- 7 シリサイド層
- 8 ゲート絶縁膜
- 9 n ゲート電極
- 9 p ゲート電極
- 1 0 サイドウォールスペーサ
- 1 1 p^- 型半導体領域
- 1 2 p^+ 型半導体領域
- 1 3 下部電極
- 1 4 容量絶縁膜
- 1 5 上部電極
- 1 6 サイドウォールスペーサ
- 1 7 抵抗体
- 1 8 第 1 層間絶縁膜
- 1 9 接続孔
- 2 0 プラグ
- 2 1 第 2 層間絶縁膜
- 2 2 接続孔
- 2 3 プラグ
- 2 4 第 3 層間絶縁膜

- 2 5 接続孔
- 2 6 プラグ
- 2 7 第 4 層間絶縁膜
- 2 8 接続孔
- 2 9 プラグ
- 3 0 パッシベーション膜
- 3 1 開孔部
- 3 1 a 開孔部
- 3 2 半導体基板
- 3 3 ゲート
- 3 4 プラグ
- 3 5 プラグ
- 3 6 パッシベーション膜
- 3 7 第 1 層間絶縁膜
- 3 8 接続孔
- 3 9 プラグ
- 4 0 ストップパ絶縁膜
- 4 1 絶縁膜
- 4 2 配線溝
- 4 3 第 2 層間絶縁膜
- 4 3 a キャップ絶縁膜
- 4 3 b 第 1 絶縁膜
- 4 3 c ストップパ絶縁膜
- 4 3 d 第 2 絶縁膜
- 4 4 接続孔
- 4 5 配線溝
- 4 6 パッシベーション
- 4 7 開孔部
- 4 8 キャップ絶縁膜

4 9 a バリアメタル層
 4 9 b 銅膜
 5 0 試料台
 5 1 電子源
 5 2 偏向レンズ
 5 3 2 次電子検出器
 5 4 1 次電子ビーム
 5 5 x 粗動機構
 5 5 y 粗動機構
 5 5 z 粗動機構
 5 6 微動機構
 5 7 汎用テスター
 S W ウエハ
 C P チップ
 S L スクライブ領域
 S L 1 第 1 スクライブ領域
 S L 2 第 2 スクライブ領域
 S L 3 第 3 のスクライブ領域
 T E G T E G (評価用の試料)
 G B ガードバンド
 B P 1 第 1 電極パッド
 B P 2 第 2 電極パッド
 B P 2 (S U B) 第 2 電極パッド
 B P 2 (W E L) 第 2 電極パッド
 B P 2 (D) 第 2 電極パッド
 B P 2 (V C) 第 2 電極パッド
 B P 3 ボンディングパッド
 Q n n チャネル M I S F E T
 Q p p チャネル M I S F E T

G ゲート

S ソース

D ドレイン

SUB 半導体基板

PWEL pウェル

NWEL nウェル

C 容量素子

R 抵抗素子

M1 第1配線層

M2 第2配線層

M3 第3配線層

M4 第4配線層

MS 測定装置

NP ナノプローブ

NP1 ナノプローブ

NP2 ナノプローブ

NP3 ナノプローブ

NP4 ナノプローブ

NP5 ナノプローブ

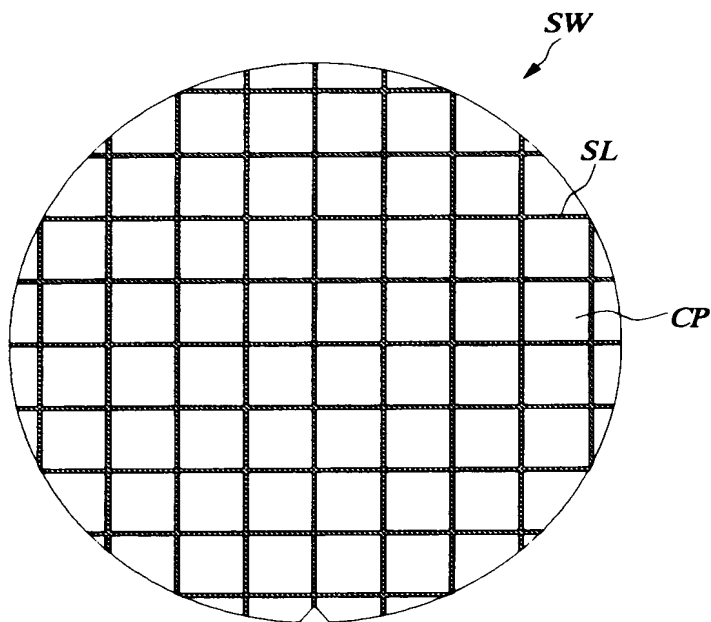
A 製品回路領域

B 製品回路領域

【書類名】 図面

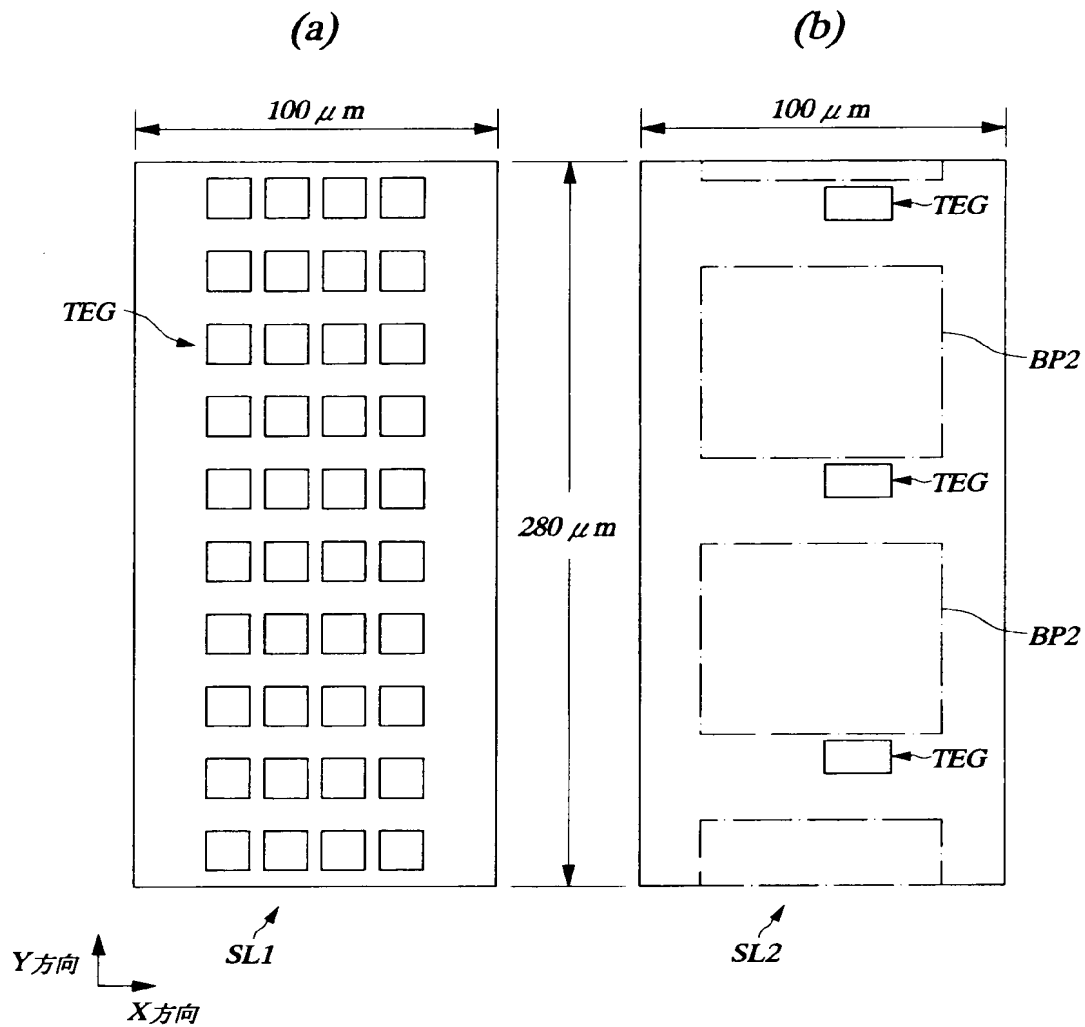
【図 1】

図 1



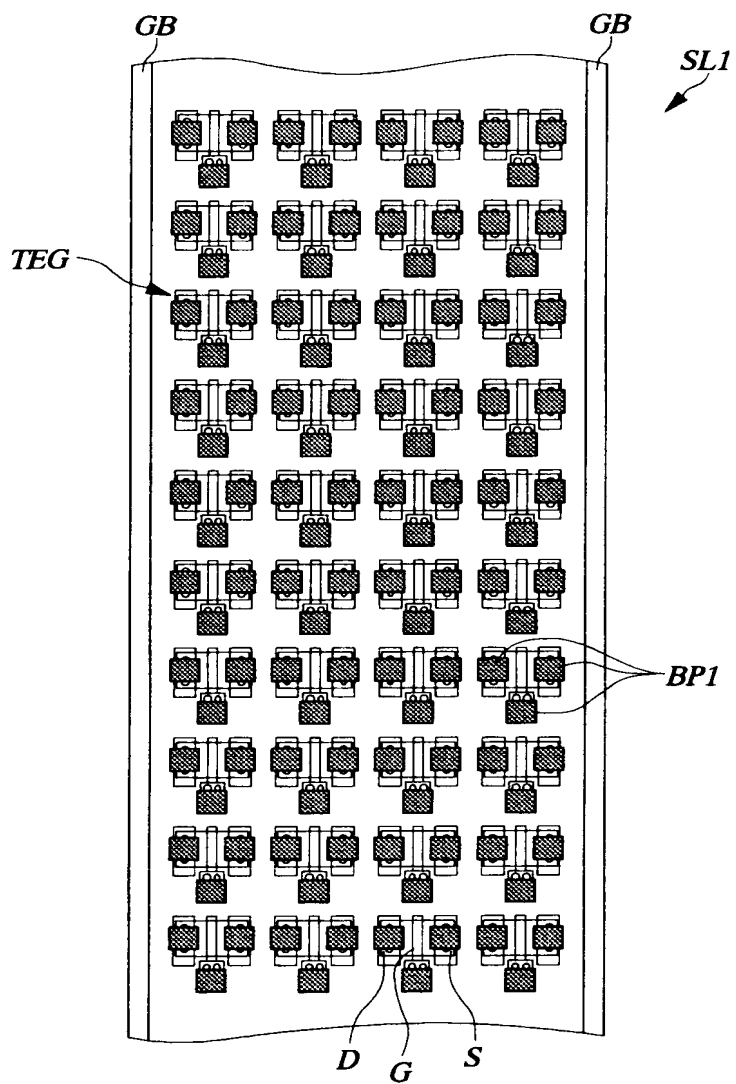
【図 2】

図 2



【図 3】

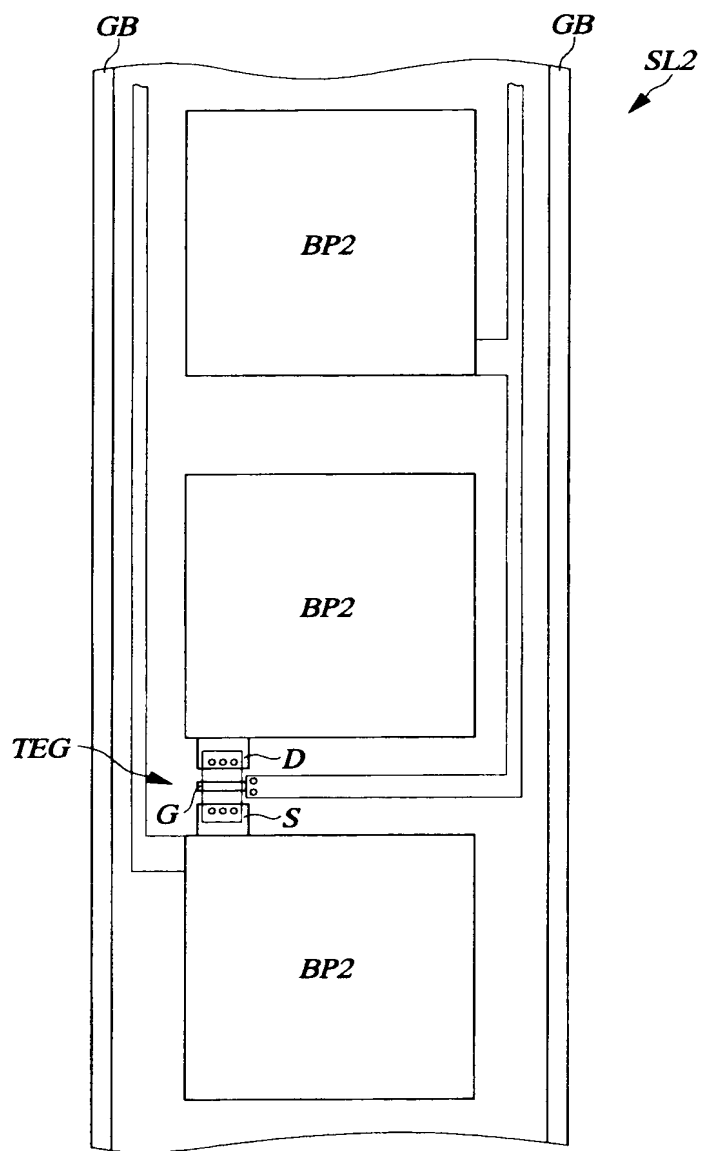
図 3



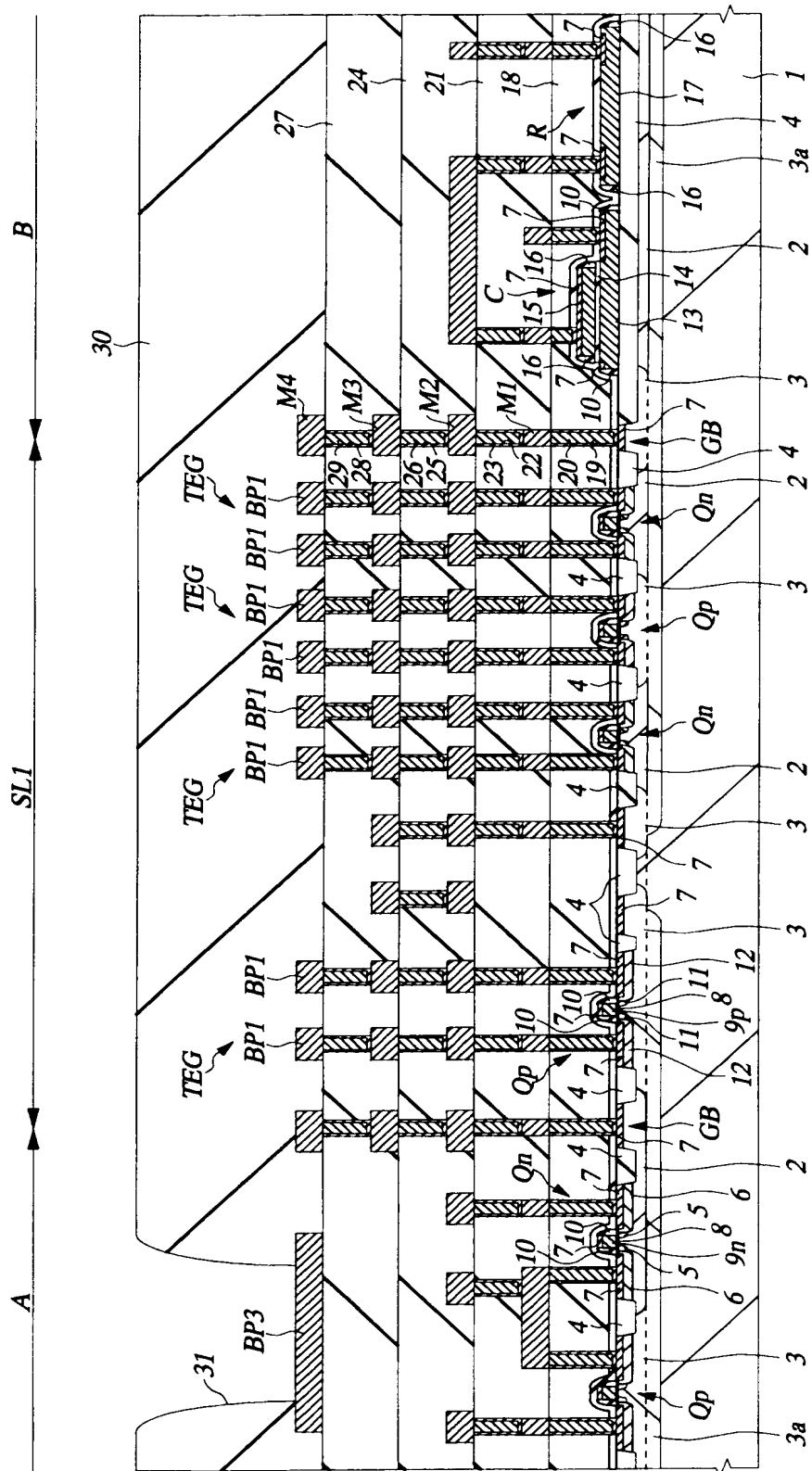
BP1 : 第1電極パッド
SL1 : 第1スクライプ領域

【図 4】

図 4



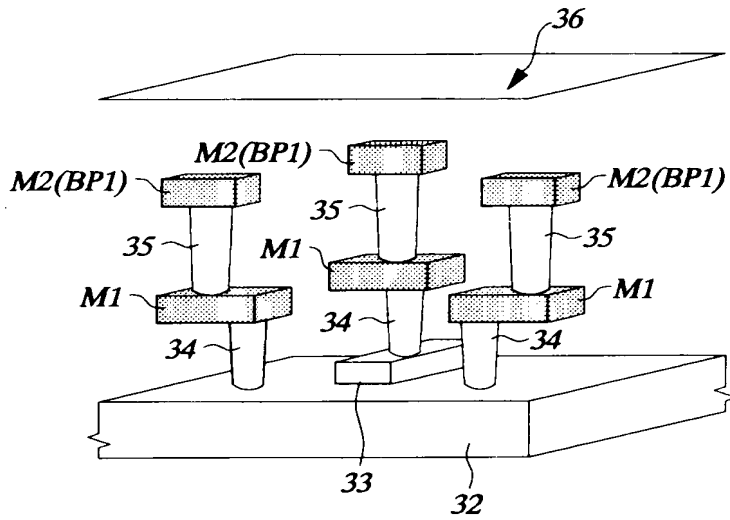
【図 5】



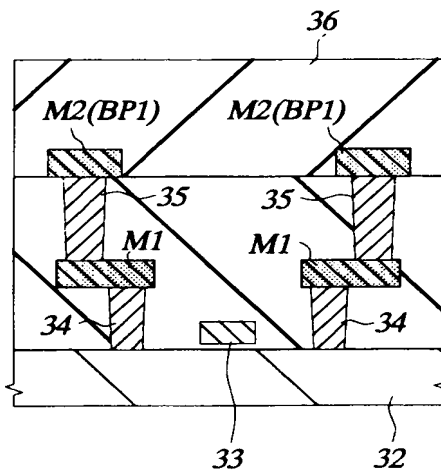
【図 6】

図 6

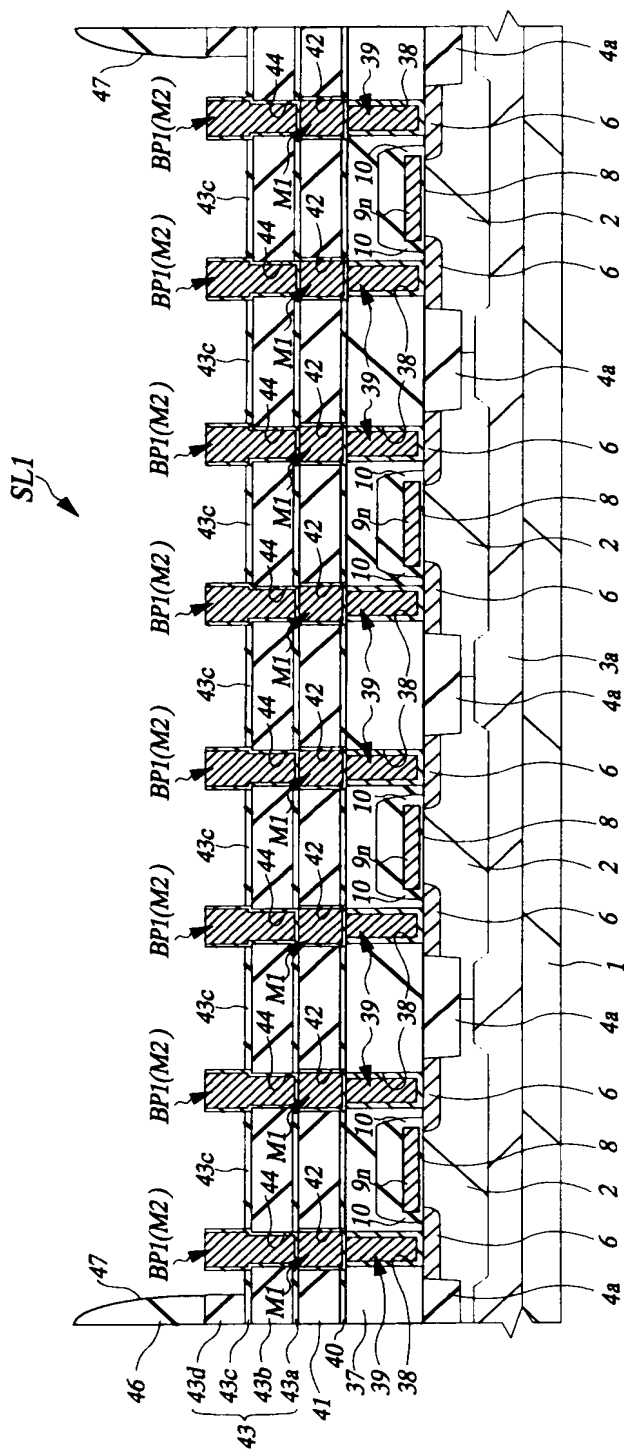
(a)



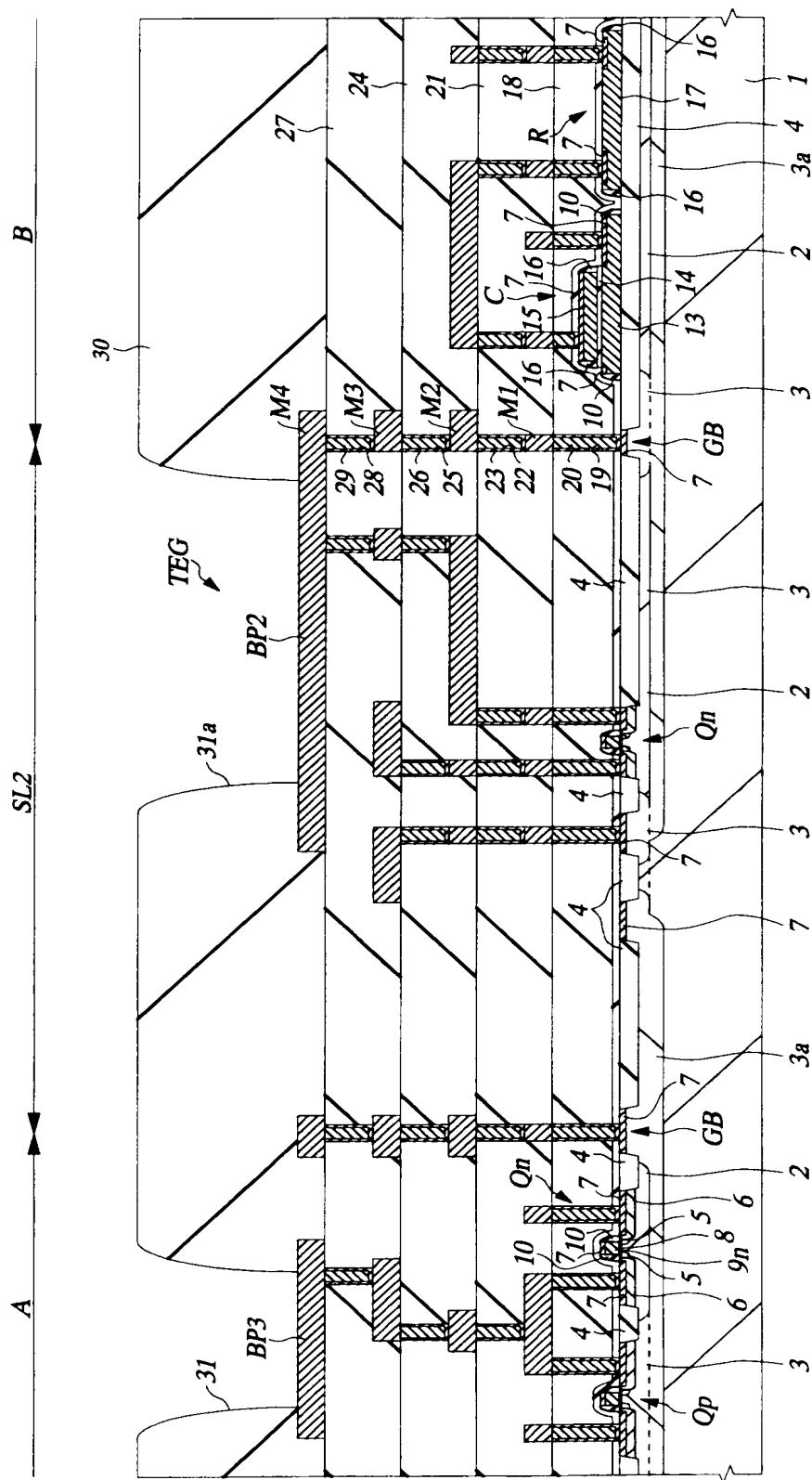
(b)



【図 7】



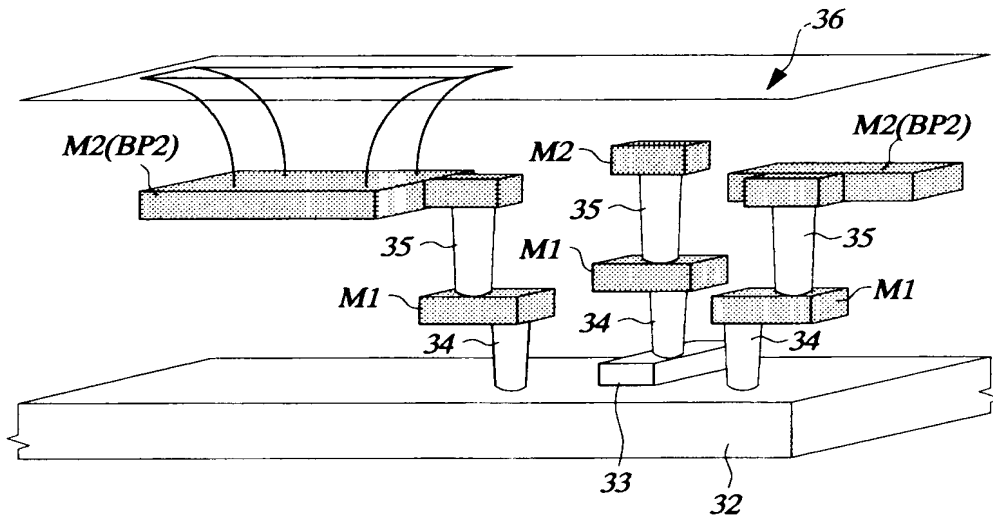
【圖 8】



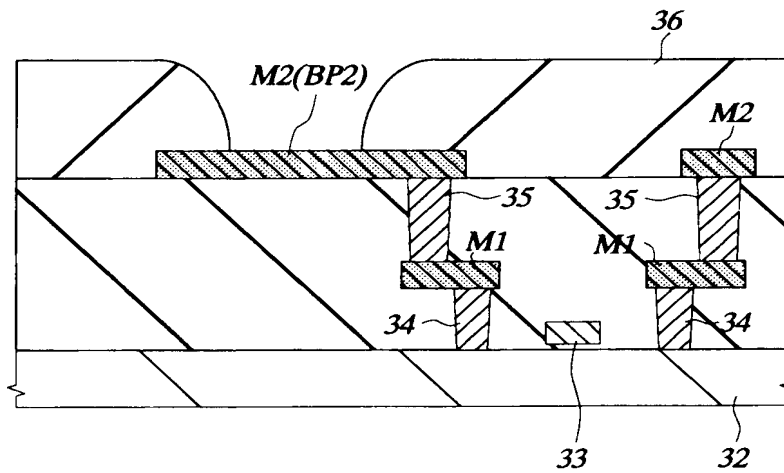
【図9】

図 9

(a)

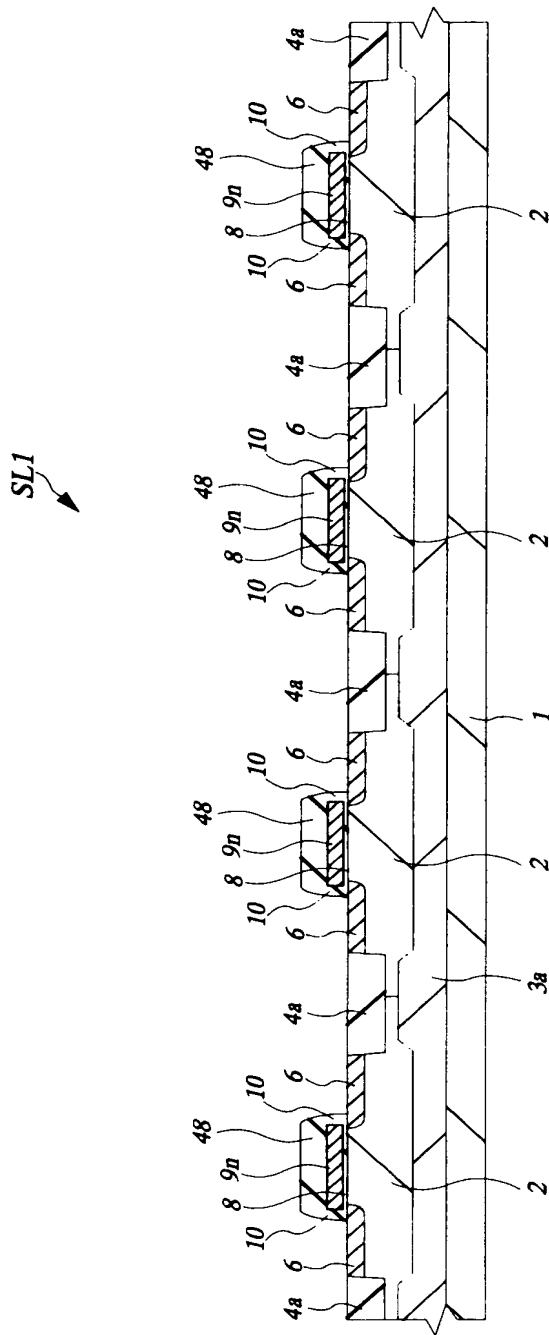


(b)

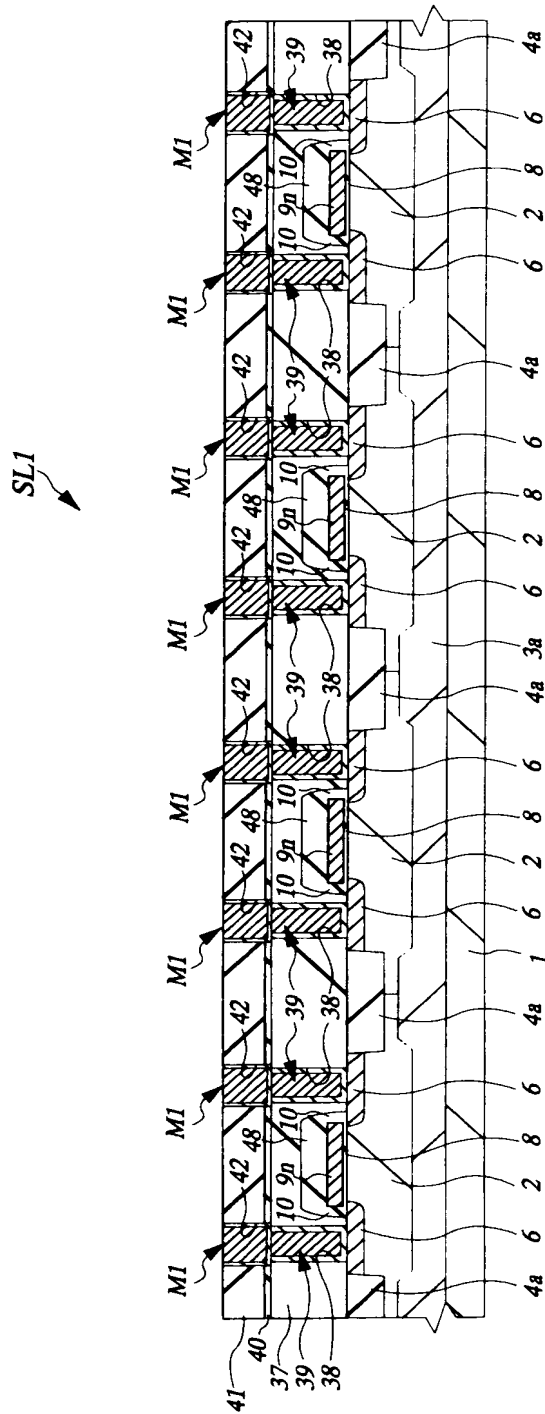


【図 10】

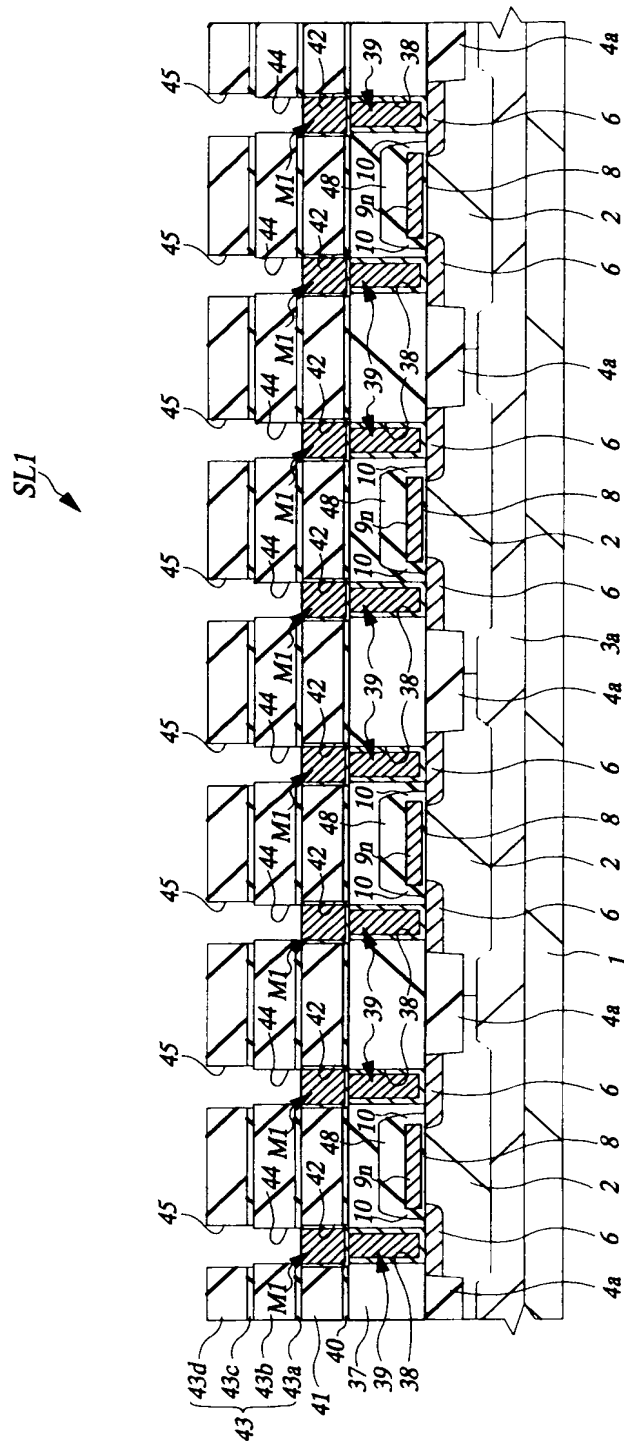
図 10



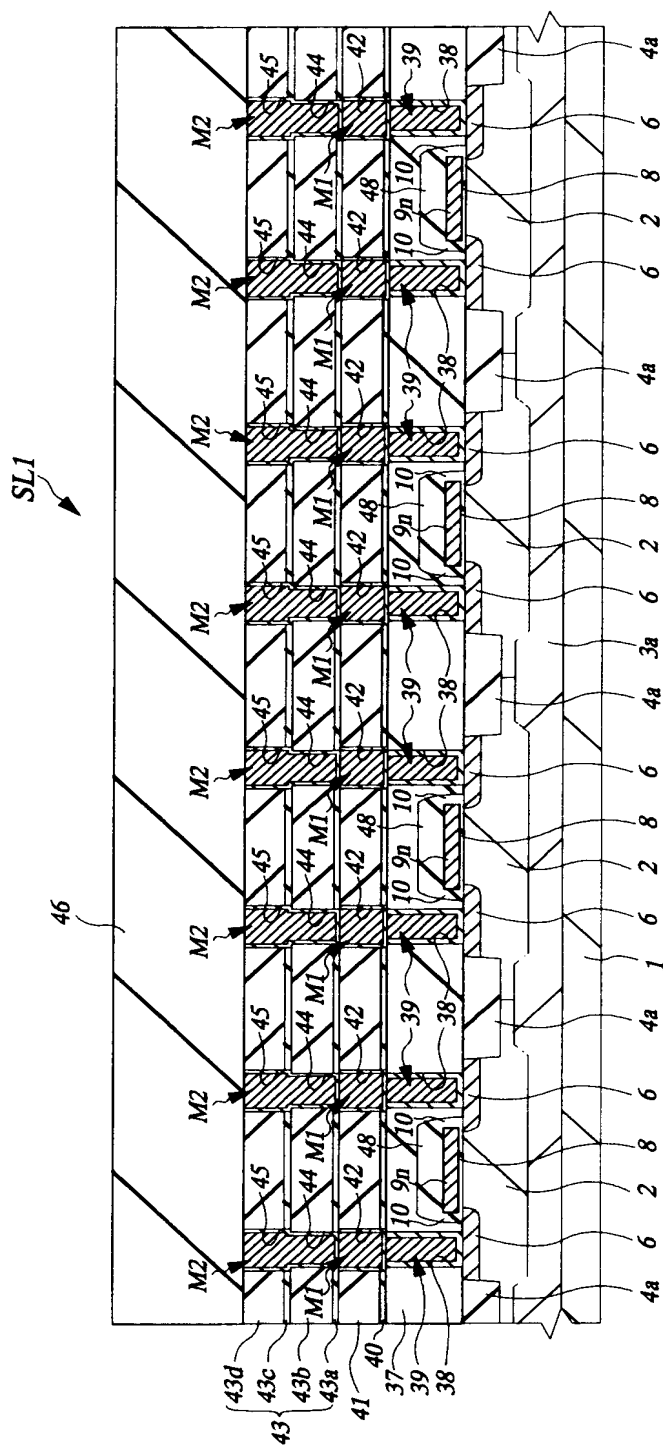
【図 1 1】



【図 12】

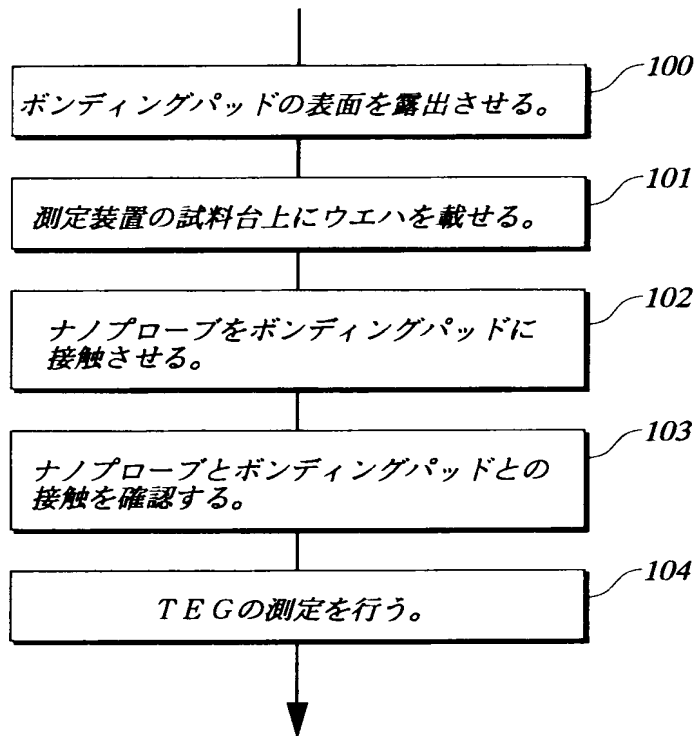


【图 14】



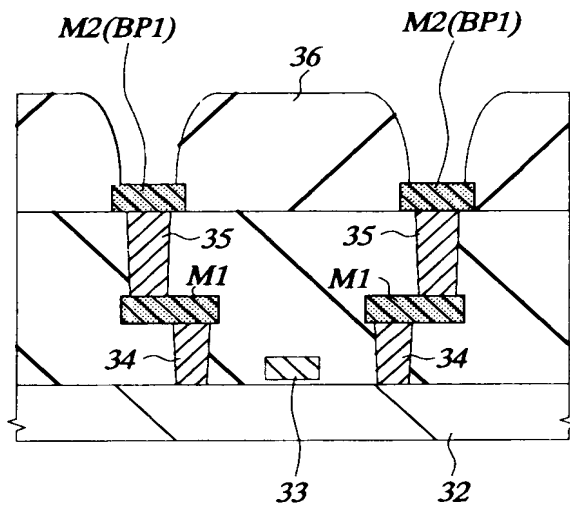
【図 15】

図 15



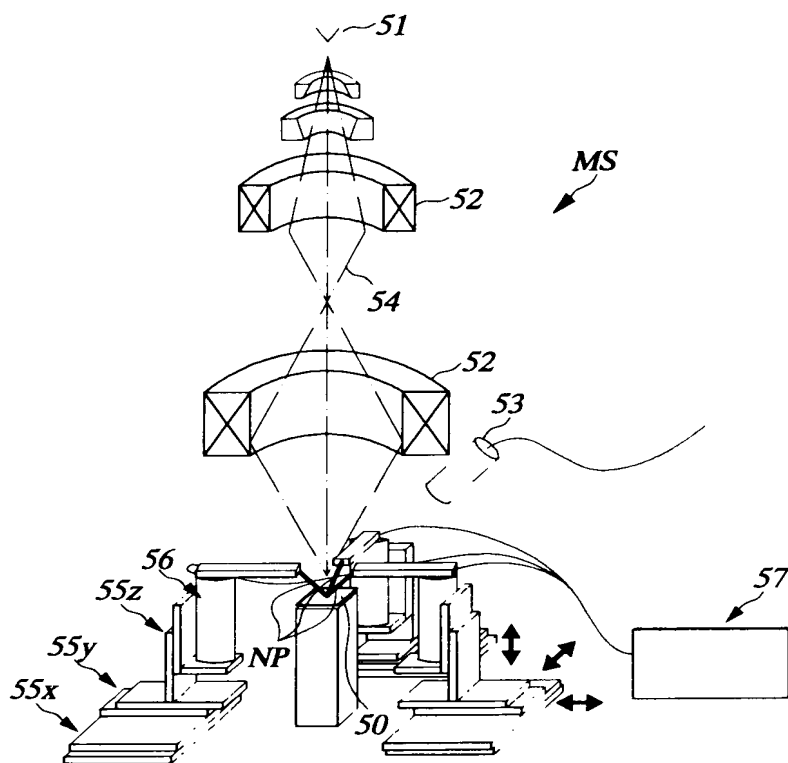
【図 16】

図 16



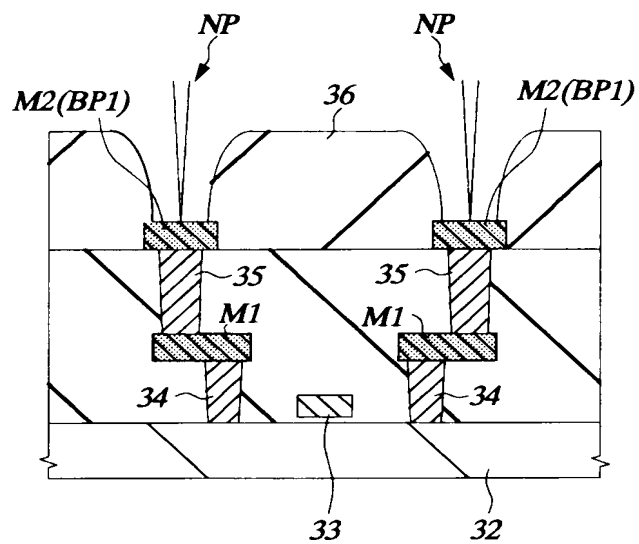
【図 17】

図 17



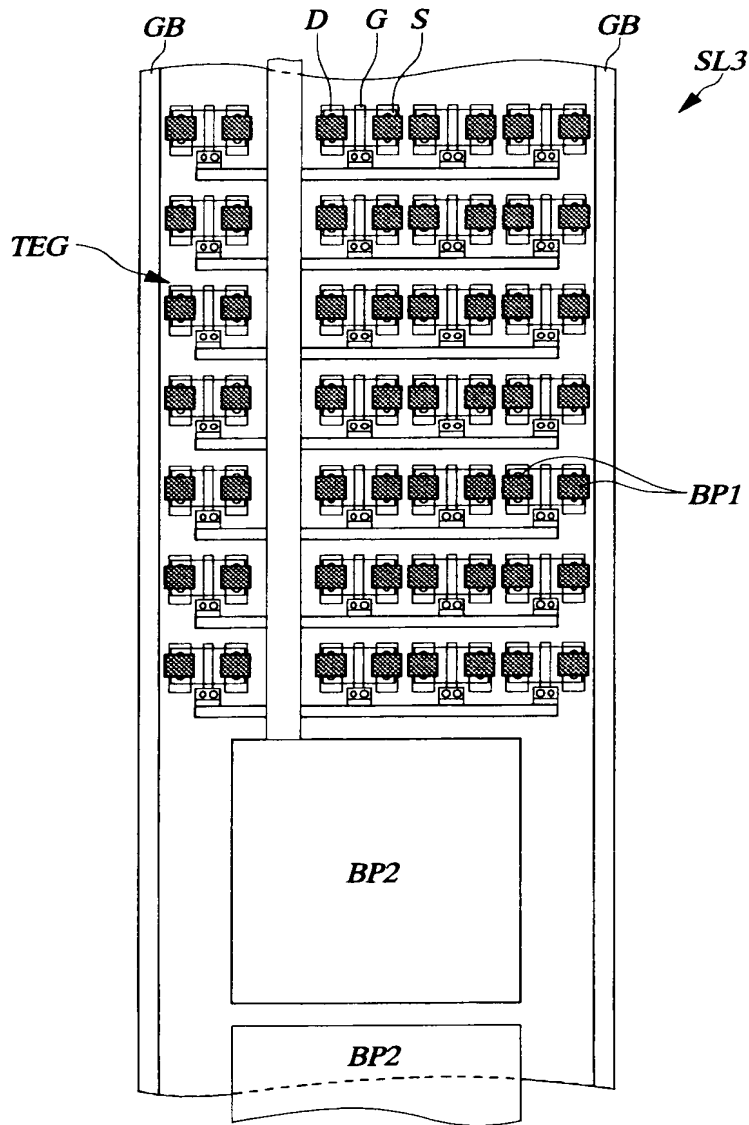
【図 18】

図 18



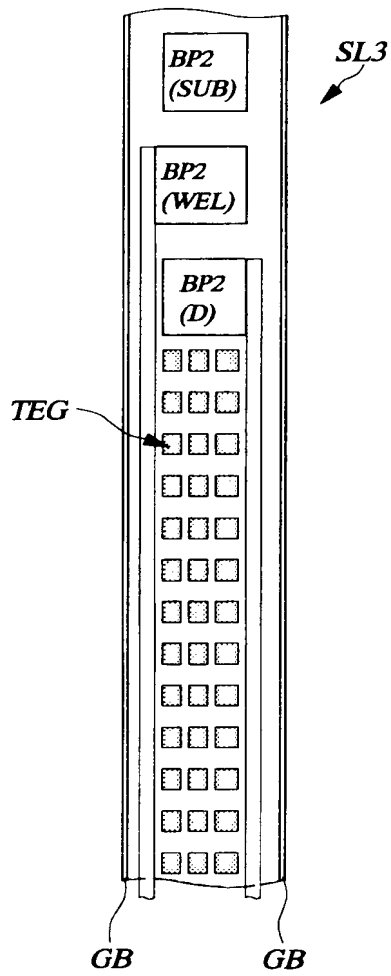
【図 1 9】

図 1 9



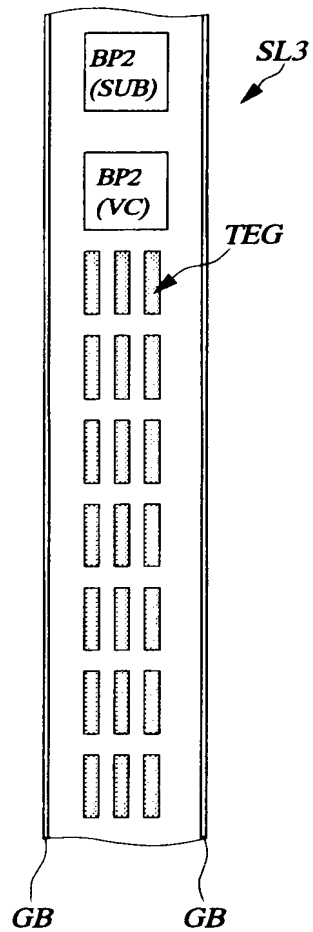
【図 2 0】

図 2 0



【図 2 1】

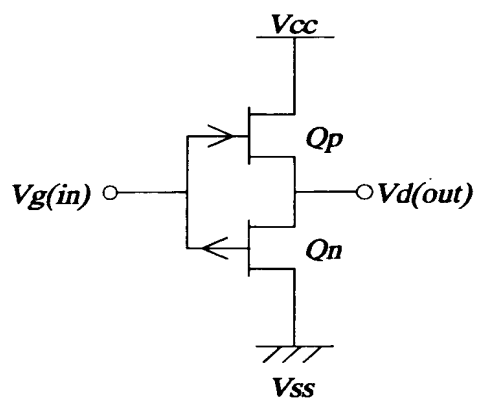
図 2 1



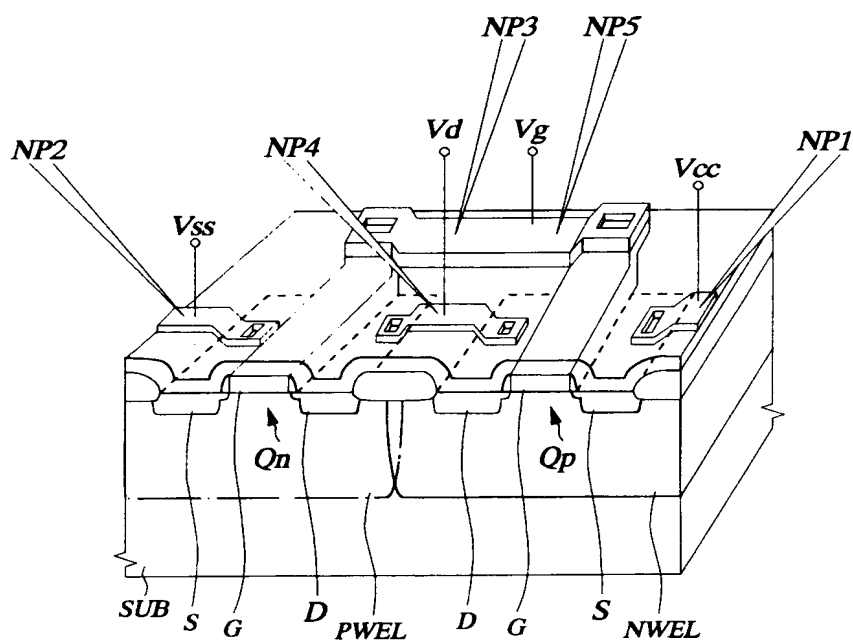
【図 22】

図 22

(a)



(b)



【書類名】 要約書

【要約】

【課題】 スクライブ領域に多数配置された T E G を測定することにより、半導体装置の歩留まりを向上することのできる技術を提供する。

【解決手段】 T E G の各々の端子に接続される第 1 電極パッド B P 1 を、半導体基板上の最上層配線で構成された一辺が約 $0.5 \mu\text{m}$ 以下の微小な矩形の孤立パターンとすることにより、第 1 スクライブ領域 S L 1 に多数の T E G を敷き詰め、第 1 電極パッド B P 1 に、先端の曲率半径が $0.05 \mu\text{m} \sim 0.8 \mu\text{m}$ 程度のナノプローブを接触させることによって、T E G の特性評価または不良解析を行う。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所